

순서회로를 위한 경계면 스캔 구조에서의 지연시험 연구

이 창 희[†] · 김 정 환^{††} · 윤 태 진[†] · 남 인 길^{†††} · 안 광 선^{††††}

요 약

본 논문에서는 경계면 스캔 구조에서의 클럭 입력을 갖는 순서회로를 위한 지연시험 구조와 지연시험 절차를 개발하였다. 지연시험 대상회로가 클럭 입력을 갖는 순서회로일 경우, 기존의 경계면 스캔 구조에서의 지연시험은 중복패턴의 입력, 클럭 입력과 데이터 입력과의 시간 간격과, 패턴 입력과 응답값 캡처까지의 시간 문제에 의해 적절치 않음을 보였다.

본 논문에서 제안하는 ARCH-S는 클럭 카운팅 기술을 이용하여 정해진 수의 클럭을 대상회로의 클럭 입력선에 적용시킴으로써 대상회로에 입력되는 입력 패턴의 중복을 피할 수 있다. 또한 대상회로를 정상 속도에서 동작할 수 있도록 시스템 클럭을 TCK로 사용한다. 연속적인 클럭 발생에 TCK를 사용함으로써 대상회로를 정상 속도에서 검증할 수 있다. 제안된 ARCH-S 구조는 시뮬레이션을 통해 동작의 정확성과, 기존의 구조와 비교하여 향상된 성능을 가짐을 확인하였다.

A Study of Delay Test for Sequential Circuit based on Boundary Scan Architecture

Chang-Hee Lee[†] · Jeong-hwan Kim^{††} · Tae-Jin Yun[†] · In-Gil Nam^{†††} · Gwang-Seon Ahn^{††††}

ABSTRACT

In this paper, we developed a delay test architecture and test procedure for clocked sequential circuit. In addition, we analyze the problems of conventional and previous method on delay test for clocked sequential circuit in IEEE 1149.1. This paper discusses several problems of Delay test on IEEE 1149.1 for clocked sequential circuit. Previous method has some problems of improper capture timing, of same pattern insertion, of increase of test time. We suggest a method called ARCH-S, is based on a clock counting technique to generate continuous clocks for clocked input of CUT. A 4-bit counter is selected for the circuit under test. The simulation results ascertain the accurate operation and effectiveness of the proposed architecture.

1. 서 론

최근까지 회로 기관상의 결함 시험에는 탐침판에 의존하는 내부 회로 시험 방법이 사용되고 있으며,

근래에 와서는 회로 기관의 복잡성이 증가하고, 표면 장착 기법 및 양면 장착 등의 보드 생산 기술의 발전으로 보드에 장착된 칩의 핀에 연결되어 사용되는 탐침판의 사용이 제한되고 있다. 일반적으로 하드웨어 설계 시, 시험을 고려한 설계를 하지 않으므로 오류 발생 시, 시험을 위한 비용이 증가한다. 이러한 문제를 해결하는 방법으로 하드웨어 설계 초기에 시험을 고려하는 DFT(Design For Testability)의 연구가 활발하게 진행되고 있다[1, 2].

† 정 회 원:경북대학교 컴퓨터공학과
†† 정 회 원:계명전문대학 사무자동화과
††† 정 회 원:대구대학교 컴퓨터정보공학부
†††† 중신회원:경북대학교 컴퓨터공학과
논문접수:1997년 10월 15일, 심사완료:1997년 12월 8일

IEEE 1149.1 경계면 스캔 구조[3, 4]는 구조화 DFT 기법으로 최근 들어 TI, NS, MOTOROLA와 HP등의 제품에서 채택되고 있다. 경계면 스캔 구조는 대상회로의 논리 결함의 원인이 되는 고착 결함을 검출하는데 주로 사용되며, 최근 들어 경계면 스캔 구조를 회로의 동작 타이밍과 관련된 지연시험에 응용하는데 관심이 높아지고 있다[5, 6].

조합회로에 대한 지연시험 방법들 중, 특히 [6]은 경계면 스캔 레지스터의 변형에 의한 지연시험 절차로 $0.5T_{clk}$ 의 지연 결함을 검출할 수 있는 방법을 제안하였다. 그러나 지연시험 시간상의 부담과 대상회로에 의존적인 하드웨어 추가 부담과 신호선의 추가 부담 등 해결해야 할 연구 과제들을 남기고 있으며, 지연시험 대상회로가 클럭 입력을 갖는 순서회로인 경우, 기존의 경계면 스캔 구조에서의 지연시험 방법은 중복 패턴의 입력, 클럭 입력과 데이터 입력과의 긴 시간 간격과, 패턴 입력과 응답값 캡처까지의 시간 문제에 의해 적절한 지연시험을 수행할 수 없다.

본 논문에서는 IEEE 1149.1 경계면 스캔 구조를 가진 순서회로에 적용할 수 있는 지연시험 구조를 제안한다. 제안하는 시험 구조 ARCH-S는 클럭 입력을 가진 순서회로에 대해 연속적인 클럭을 발생시켜 지연 결함을 검출할 수 있다.

2장에서는 일반적인 지연시험 모델과 경계면 스캔 구조에서의 지연시험에 대해 논하고, 3장에서는 클럭 입력을 갖는 순서회로에 대한 지연시험의 어려움을 논하고, 지연시험을 위한 ARCH-S 구조를 제안한다. 4장에서는 시뮬레이션을 통해 ARCH-S와 지연시험 절차의 정확성을 확인하며 기존의 방법과의 비교를 통해 결과를 분석 평가하고 5장에서 결론을 맺는다.

2. 경계면 스캔 구조에서의 지연시험

2.1 지연시험 모델

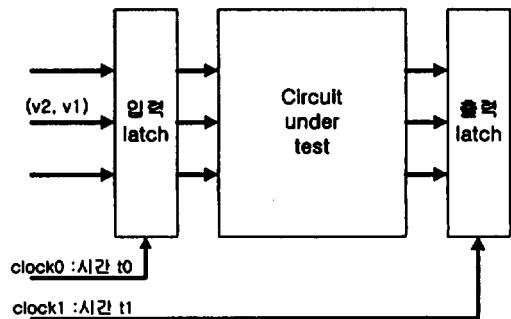
시스템의 기능이 커지고, 요구되는 동작 속도가 빨라짐에 따라 칩이나 회로 기판의 설계 시 집적도가 커지고, 칩간의 간격, 배선 혹은 점점등에서 많은 제약이 가해진다. 이로 인해 도전율이 감소하고 용량성이 증가하여 지연 결함 발생 확률이 높아진다. 따라서 칩의 설계 시, 지연에 대한 고려와 칩 제조 시, 지연 결함에 대한 시험의 요구가 증가하고 있다[7, 8].

또한 시험 대상회로는 기능적인 동작에 대한 검증뿐만 아니라 요구되는 속도에서 정상적인 동작을 하는지의 검증이 필요하다. 지연 결함은 회로를 정상적인 것보다 느리게 만들며, 전체 시스템의 성능 저하와 시스템 전체의 결함을 야기시킬 수 있다. 시스템과 장치들의 동작 속도는 꾸준히 증가하고 있으며, 그 크기는 줄어들므로써 회로 경로의 지연 결함 검출을 위한 설계와 시험의 중요성이 강조되고 있다.

지연시험은 대상회로의 초단 입력에서 중단 출력까지의 모든 경로들이 설계 시 주어진 시간 범위 내에 신호를 전달하는지를 검사하는 것이다[9].

지연시험은 결함이 발생한 경로상에 상태 천이를 발생시켜 그 결과를 하나 이상의 중단출력으로 출력시키는 것이 필요하다. 일반적으로 지연시험은 대상회로를 구성하는 하나의 경로에 대해 2개의 입력 패턴이 필요한데 이를 초기화 패턴, 천이 전파 패턴이라 한다.

(그림 1)은 지연시험을 위한 하드웨어 모델을 나타낸다. 시험 대상회로의 결함 위치를 지나는 경로의 전파 지연을 검사하기 위해서 입력과 출력 래치에 2개의 연속적인 클럭(clock0, clock1)이 필요하다. 먼저 대상회로는 초기화 패턴 v1에 대해 안정화 된 후, 천이 전파 패턴 v2를 clock0(시간 t0)에 의해 인가하고, 이에 대한 대상회로의 응답값을 clock1(시간 t1)에 의해 출력 래치에서 캡처한다. 이때 시간(t1-t0)이 대상회로에서 허용되는 전파 지연 시간의 최대 크기이다. 해당 경로의 지연 결함의 크기가 시간(t1-t0) 보다 큰 경우, 시간 t1에 출력 래치에서 캡처한 대상회로의 응



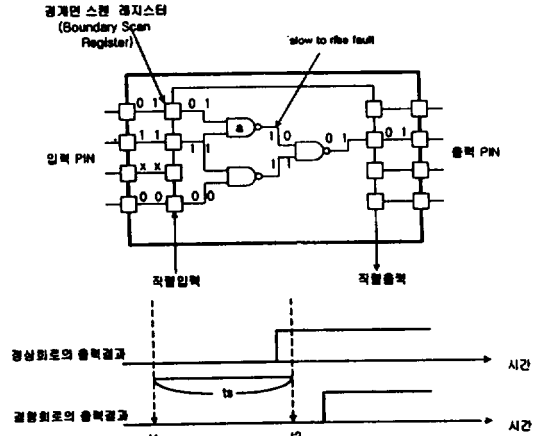
(그림 1) 지연시험 모델
(Fig. 1) General delay test model

답값은 정상 응답값과 비교했을 때, 반대 값을 가진 것으로 지연 결함을 탐지할 수 있다[10, 11].

2.2 표준 경계면 스캔 구조에서의 지연시험

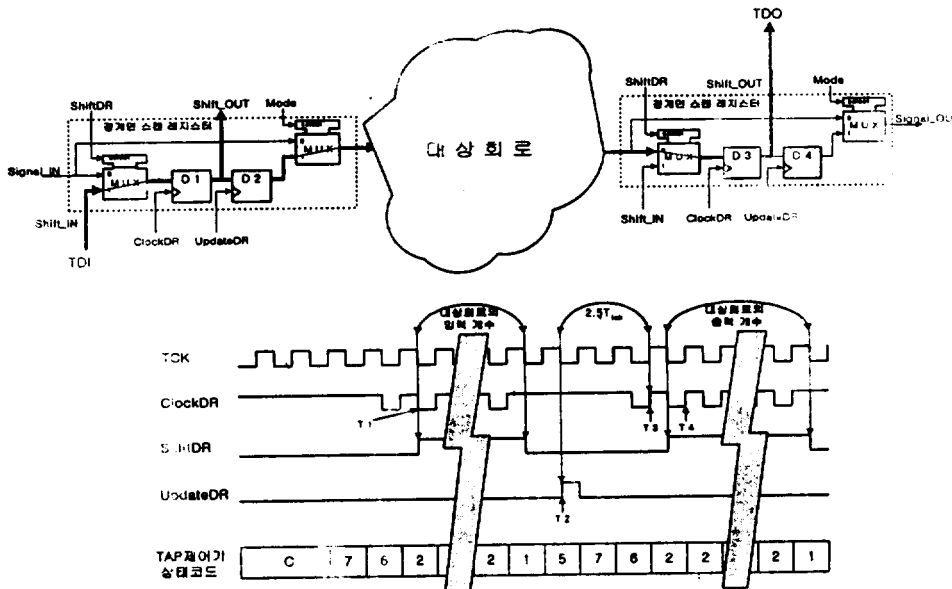
(그림 2)는 경계면 스캔 구조가 적용된 회로에 대한 지연시험 모델을 나타낸다. NAND 게이트 a의 출력선에 상승 지연 결함이 있다고 가정하고, 초기화 패턴 '11×0'을 입력 경계면 스캔 레지스터에 직접 입력시켜 회로를 안정화 시킨다. 결함이 발생한 경로에 상승 천이 신호를 발생시키기 위해 천이 전파 패턴 '01×0'을 경계면 스캔 레지스터에 직접 입력시키고, 이를 시간 t1에 대상회로의 입력에 병렬 인가한다. 인가된 입력에 대한 응답값을 시간 t2에서 출력 경계면 스캔 레지스터에서 캡처한 후, 이를 직접 출력한다. 이때, 해당 경로의 전파 지연이 정해진 시간범위 ts보다 큰 경우 직접 출력된 응답값은 정상 응답값과 반대 값을 가지게 됨으로, 직렬로 출력된 데이터를 정상 응답값과 비교하여 지연결함을 검출할 수 있다[7, 8]. (그림 3)은 경계면 스캔 구조에서 지연시험 모델을 적용했을 때의 동작 타이밍을 나타낸다.

본 논문에서 사용된 각 신호선의 이름과 속도는



(그림 2) 경계면 스캔 구조에서의 지연시험 모델 (Fig. 2) Delay test model on boundary scan arch

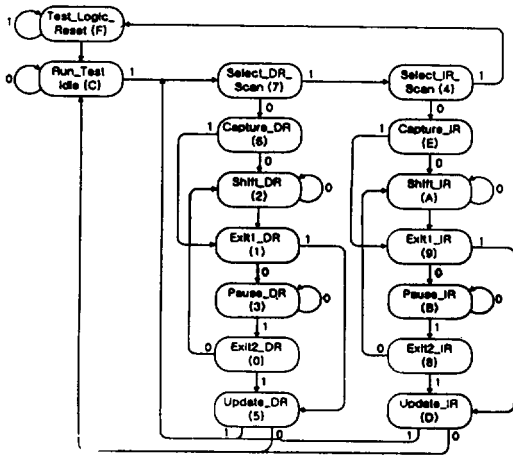
IEEE 1149.1의 표준을 따른다. 경계면 스캔 구조에서의 모든 동작은 (그림 4)의 TAP 제어기의 상태 천이도에 의해 제어된다. TAP 제어기는 입력으로 TMS, TCK를 가지며, 출력으로 Reset, Enable, Select, ShiftIR, ClockIR, UpdateIR, ShiftDR, ClockDR, UpdateDR을 가진다. 상태 천이를 위해서는 (그림 4)



(그림 3) 경계면 스캔 구조에서의 지연시험 동작 타이밍도 (Fig. 3) Timing chart of delay test on boundary scan arch

의 화살표상의 값을 TMS에 유지하고 1 주기의 TCK를 인가해야 한다[3, 4].

(그림 3)에서 대상회로에 대한 지연시험을 위해서는 D1플립플롭에 TDI를 통한 데이터 입력을 위해 대상회로의 입력 개수만큼의 Shift_DR상태가 필요하며, 직렬 입력된 데이터를 대상회로에 병렬 인가하기 위해 D1플립플롭의 데이터를 D2플립플롭으로 전달하는 Update_DR상태로 천이되어야 한다. 병렬 인가된 데이터에 대한 대상회로의 응답값을 D3플립플롭이 입력 받기 위해서 Capture_DR상태로 천이 되어야 한다. 이때, Update_DR상태에서 Capture_DR상태로의 가장 짧은 천이 경로는 (그림 4)의 TAP제어기의 상태 천이도에서 Update_DR → Select_DR → Capture_DR의 천이 순서를 거쳐야 한다. TAP 제어기에서 다음 상태로의 변화는 1 주기의 TCK가 필요하므로 (그림 3)의 아래와 같은 타이밍 관계를 갖는다. TCK의 1 주기를 T_{clk} 라고 할 때, 대상회로에 지연시험을 위한 입력을 T2에서 인가하고, 이에 대한 응답값을 T3에서 캡처하는데 $2.5T_{clk}$ 의 시간을 필요로 한다.



(그림 4) TAP제어기 상태천이도 [3, 4]
(Fig. 4) State diagram of TAP controller [3, 4]

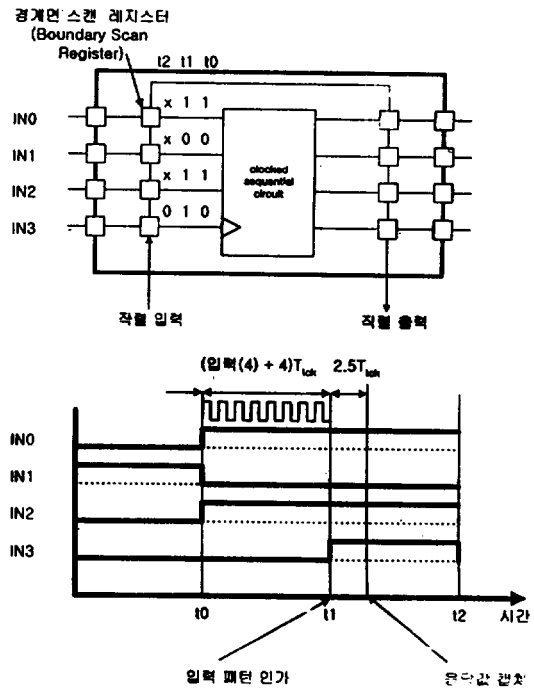
대상회로에 인가되는 시스템 클럭의 주기를 S_{CLK} 라고 할 때, 일반적으로 대상회로는 시스템 클럭에 동기를 맞춰 동작하므로, 대상회로에 대한 입력이 있을 후, 그 응답값을 연결된 다른 회로에, $1S_{CLK}$ 안에 인가되는지 보장되어야 한다. 즉 $1S_{CLK}$ 내에 응답값이 발생

되는지를 시험할 수 있어야 한다. 그러나 (그림 3)에서와 같이 표준 경계면 스캔 구조에서는 대상회로의 시스템 클럭을 TCK로 사용할 경우, 대상회로에 입력을 인가한 후부터 응답값 캡처까지 $2.5T_{clk}$ 가 필요하므로 $2.5S_{CLK}$ 보다 적은 지연 결합은 검출할 수 없다.

3. 순서회로를 위한 지연시험 구조의 개발

3.1 순서회로의 지연시험

(그림 5)는 경계면 스캔 구조에서 클럭 입력을 갖는 대상회로에 대해 지연 결합을 검출하기 위한 동작을 보여준다. 대상회로의 입력은 IN0부터 IN3까지이며, 이 중 IN3이 클럭 입력이다. 대상회로는 IN3의 상승 에지에서 상태변화를 일으킨다고 가정하면, IN0에서 IN2까지 '101'을 입력하고, IN3에 상승 에지를 입력할 경우, 일반적인 경계면 스캔 구조에서 IN3에 상승 에지를 발생시키기 위해서는 (그림 5)의 시간 t_0 때



(그림 5) 경계면 스캔 구조에서의 순서회로에 대한 지연시험 동작
(Fig. 5) Delay test operation of boundary scan search for sequential circuit

IN3에 '0'을 시간 t1때 IN3에 '1'을 입력함으로써 상승 에지를 발생시켜야 한다. 이와 같은 절차를 가진 일반적인 경계면 스캔 구조는 다음 3가지의 문제점을 가진다.

첫 번째 문제점은 대상회로에 입력 패턴을 인가한 후, 그에 대한 응답값을 캡처하기까지의 시간이 최소 $2.5T_{clk}$ 가 소요된다. 즉, 시스템 클럭이 주입될 시, 대상회로의 정상 동작여부를 판단할 수 없다. 이 문제점은 조합회로에 대한 문제점과 동일하다.

두 번째는 대상회로의 클럭 입력에 상승(하강) 에지를 발생시키기 위해 대상회로의 나머지 입력들에 대해 동일한 패턴을 중복 입력해야 한다. 중복 패턴의 입력은 지연시험 소요 시간의 증가를 의미한다. 세 번째 문제점은 대상회로의 클럭 입력과 나머지 입력과의 시간간격이 (입력 개수(N) + 4) T_{clk} 가 소요된다. (그림 5)의 동작 타이밍 관계에서 시간 t0에 IN0, IN1, IN2와 IN3에 '1010'이 입력된 후, 시간 t1에 '1011'을 입력하여, IN3에 상승 에지를 발생시키기 위해서는 TAP제어기의 천이 상태도에 따라 t0과 t1의 간격이 최소한 (입력 개수(4) + 4) T_{clk} 이 된다. 이러한 시험 동작은 순서회로의 클럭이 시스템 클럭일 경우, 정상 동작에서 IN0, IN1, IN2의 신호 값이 입력된 후, 시스템 클럭의 1/2주기 이후에 IN4에 상승 에지가 발생된다는 것을 고려하면, 대상회로가 정상적인 시스템 클럭 속도에서 동작할 것임을 시험할 수 없다. 즉, 클럭 입력을 발생시키는 시점이 너무 늦어짐으로 대상회로의 동작을 정상 속도에서 검증할 수 없다. 위에서 살펴본 바와 같이 일반적인 경계면 스캔 구조에서는 순서회로에 대한 지연시험이 적절치 않다. 또한 기존의 [6]도 순서회로에 대해서는 적용할 수 없다.

본 논문에서는 이러한 순서회로에 대한 지연시험이 가지는 문제점을 해결하기 위한 시험구조 ARCH-S를 제안한다.

3.2 ARCH-S의 구조와 동작

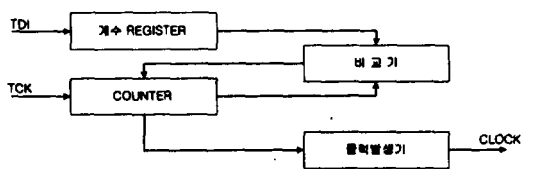
본 논문에서 제안하는 ARCH-S는 클럭 카운팅 기술을 이용하여 정해진 수의 클럭을 대상회로의 클럭 입력선에 적용시킴으로써 대상회로에 입력되는 입력 패턴의 중복을 피하고, 대상회로를 정상 속도에서 동작할 수 있도록 시스템 클럭을 TCK로 사용한다. 연속적인 클럭 발생에 TCK를 사용함으로써 대상회로

가 정상 속도에서 정상 동작 하는가를 시험할 수 있다. (그림 6)은 카운터를 이용한 클럭 발생기의 구조를 보여준다.

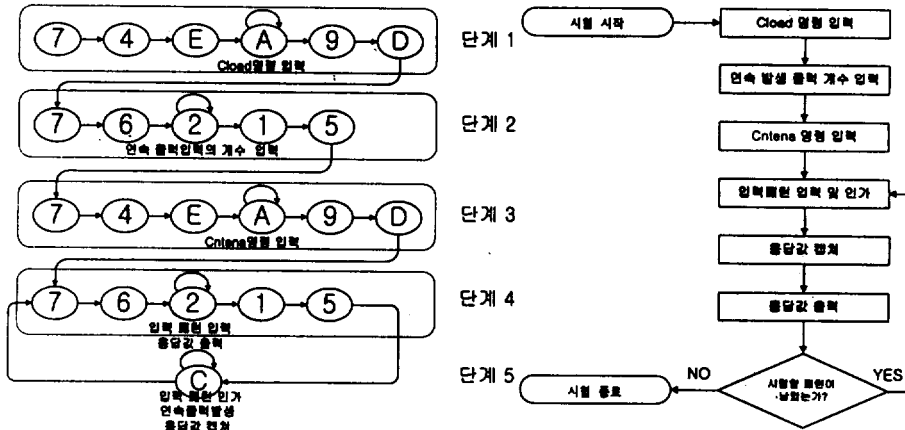
클럭 발생기의 구조는 발생시킬 클럭의 수를 지정하는 카운터 계수 레지스터와 정해진 클럭을 계수하는 카운터부분과 비교기, 카운터 시작과 종료 시 다른 장치와의 연결을 위한 부가회로로 구성된다. 클럭 발생기를 이용하는 ARCH-S는 지연시험을 위한 명령어를 2개 가진다. 각 명령어의 역할은 다음과 같다.

- Cloud: 대상회로에 발생시킬 클럭의 개수를 지정한다. 명령어가 입력된 후, TDI를 통해 입력된 데이터는 계수 레지스터에 입력되어 클럭 발생 시 비교기에 의해 사용된다.
- Cntena: 명령어가 입력된 후, TAP제어기가 Update_DR 상태로 변할 때, 계수 레지스터에 입력된 개수의 연속적인 클럭을 대상회로의 클럭 입력에 연결된 경계면 스캔 레지스터에 발생시켜 지연시험을 수행시킨다.

연속적인 클럭이 입력된 후, 대상회로의 응답값을 캡처하기 위해 대상회로의 출력 선에 연결된 경계면 스캔 레지스터는 마지막 클럭이 발생된 후, $1T_{clk}$ 이후에 응답값을 캡처할 수 있으며, 캡처된 응답값을 변화 없이 TDO로 직접 출력할 수 있도록 설계되었다. 대상회로의 클럭 입력선에 연결되는 입력 경계면 스캔 레지스터는 Cntena 명령이 입력되었을 경우에 클럭 발생기의 출력을 회로에 인가하고, 그렇지 않은 경우는 TAP제어기의 ClockDR 신호를 회로에 인가하는 멀티플렉스를 가지므로 표준 경계면 스캔 명령어를 수행할 수 있다. 제안된 시험구조 ARCH-S는 (그림 7)의 지연시험 절차와 수행에 필요한 TAP제어기의 상태 변화에 따른다.



(그림 6) 카운터를 이용한 클럭 발생기의 구조
(Fig. 6) The architecture of clock generator using counter



(그림 7) ARCH-S에서의 지연시험 절차와 수행을 위한 TAP 제어기의 상태 천이도
 (Fig. 7) State diagram of TAP controller for delay test on ARCH-S

4. ARCH-S의 시뮬레이션 및 평가

4.1 시뮬레이션

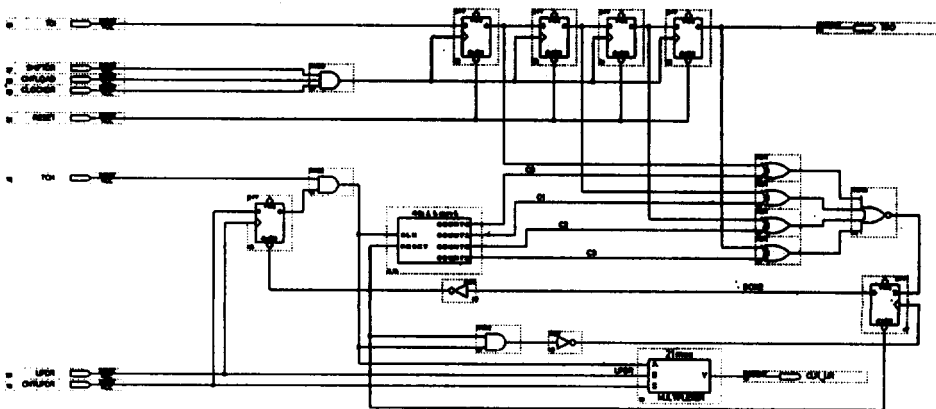
ARCH-S구조의 지연시험 명령어 Cloud, Cntena 명령어를 이용한 지연시험 절차를 시뮬레이션함으로써 시험 구조와 지연시험 절차에 대한 동작을 검증한다.

시뮬레이션을 위해 4bit 카운터를 대상회로로 선정하였다. 대상회로는 10개의 입력 신호선과 5개의 출력 신호선으로 구성되어 있다. 회로의 설계와 시뮬레이션은 ALTERA의 MAX PLUS II 7.2를 사용하여

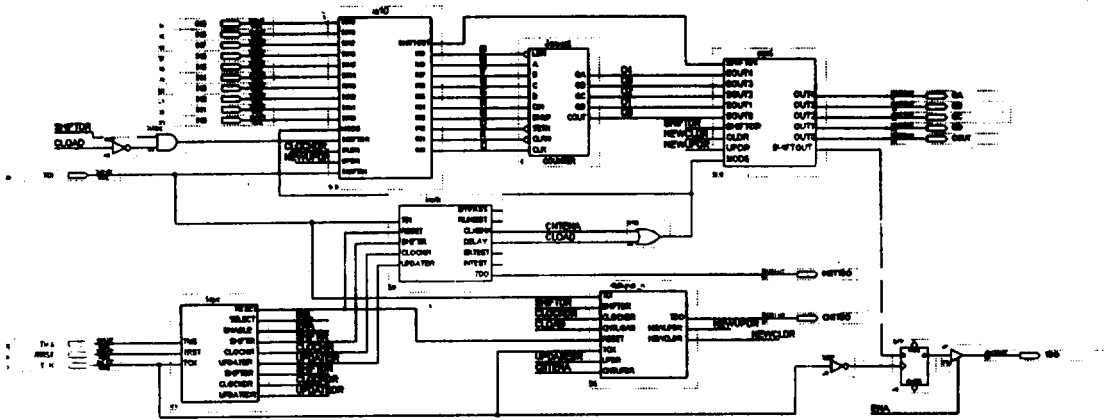
다. (그림 8)은 (그림 6)의 카운터를 이용한 클럭 발생기의 회로도이며 CLK_UR신호가 출력이다. (그림 9)는 4bit 카운터 대상회로에 클럭 발생기를 가진 지연시험 구조를 적용시킨 회로도이다. 대상회로 카운터의 CLK신호가 클럭 입력이다.

(그림 10)은 ARCH-S구조에서 (그림 7)의 지연시험 절차를 따라 시뮬레이션한 결과 파형이다. 시뮬레이션에 사용된 연속 클럭의 개수는 5개로 한다. 시험절차는 다음의 과정을 수행한다.

단계 1: 지연시험을 위한 명령어 Cloud('011')를 TDI



(그림 8) 카운터를 이용한 연속 클럭 발생기
 (Fig. 8) Clock generator using counter



(그림 9) 4bit 카운터에 대한 지연시험 구조의 적용에
(Fig. 9) The 4bit counter based on ARCH-S

클럭 통해 명령어 레지스터에 직렬 입력한다.

회로의 클럭 입력선에 연속적으로 발생시킬 클럭의 개수를 TDI를 통해 직렬로 계수 레지스터에 입력한다.

명령어 Cntena('110')를 TDI를 통해 직렬 입력한다.

명령어 입력 후, UpdateDR신호의 상승 에지에서 연속적인 클럭이 입력된다.

단계 4: 대상회로에 인가될 데이터를 직렬 입력한다.

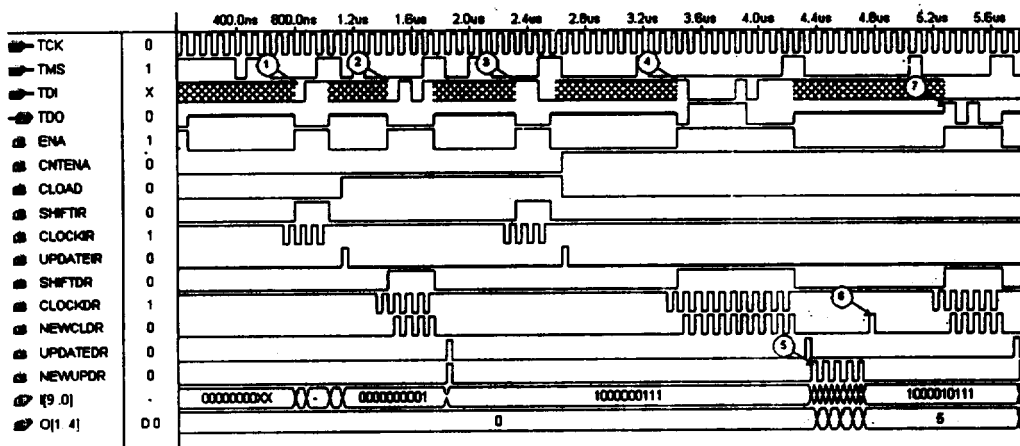
이때, 클럭 입력선의 경계면 스캔레지스터

에는 '1'을 입력한다. '0'이 입력되면, 클럭 발생이 적용되지 않는다.

단계 5: 출력 경계면 스캔 레지스터에서 캡처된 응답값을 TDO로 직렬 출력하여 정상 응답값과 비교한다. 다음 입력 패턴에 대해 단계 4를 수행한다.

(그림 10)의 시뮬레이션 파형과 시험 절차를 비교하면 다음과 같다.

① Cload('011')를 TDI를 통해 명령어 레지스터에



(그림 10) ARCH-S에 대한 시뮬레이션 결과 파형
(Fig. 10) The result of simulation on ARCH-S

직렬 입력.

파형도에서 UPIR의 상승 에지에 CLOAD신호가 1이 된다.

- ② 데이터 '0101'을 직렬 입력하여 연속발생 클럭의 수를 5개로 지정.
- ③ Cntena('110')를 TDI를 통해 직렬 입력.
파형도에서 UPDATEIR의 상승 에지에서 CNTENA 신호가 1이 된다.
- ④ 대상회로에 데이터 '1000010111'를 TDI를 통해 직렬 입력.
대상회로를 초기화 시키고, 0에서부터 1씩 증가시키는 상태로 만든다.
- ⑤ 대상회로의 클럭 입력선인 CLK에 T_{tick} 의 주기를 가진 5개의 연속적인 클럭 입력.
파형도에서 NEWUPDR이 대상회로에 입력될 연속 클럭이다.
- ⑥ 5개의 연속 클럭이 입력되어 반영된 대상회로의 결과값을 캡처.
캡처되는 시점은 대상회로에 5번째 클럭의 상승 에지에서 IT_{tick} 이후이다.
이는 시스템 클럭을 TCK로 사용하는 환경에서 대상회로를 정상 속도에서 검증하는데 필요하다.
- ⑦ ⑥에서 캡처된 대상회로의 응답값을 TDO를 통해 직렬 출력.

⑦의 출력결과는 파형도에서 '10100'가 출력된다. 마지막 bit '0'은 대상회로의 출력중 캐리 출력을 의미한다. 즉 초기상태 0, 증가모드에서 5번의 연속적인 클럭에 의해 5로 상태 변화했음을 알 수 있다.

신호선 O[1..4]는 대상회로의 출력 신호선을 관측하는데 사용된다. 이는 대상회로의 출력 QD, QC, QB, QA를 의미한다.

신호선 NEWUPDR신호가 대상회로의 클럭 입력선에 입력되는 신호를 나타낸다. Cntena가 입력되기 전의 신호는 TAP제어기의 UpdateDR신호와 동일하며(②와 ③사이), Cntena신호가 입력된 후 UpdateDR의 하강 에지에서 Cload명령에 의해 입력된 수의, TCK의 주기를 가진 연속적인 클럭이 발생된다.

⑦에서 NEWCLDR신호는 Cntena에 의해 ②번과 달리 ShiftDR이 1인 경우에만 발생되도록 설계되었다. 이는 [6]과 같이 입력 패턴에 대한 응답값을 캡처

한 후, 응답값의 변화없이 TDO로 출력하기 위해서 필요하다.

4.2 ARCH-S에서의 지연시험 평가

대상회로가 클럭 입력을 갖는 순서회로인 경우, 대상회로에 대한 지연시험은 일반적인 경계면 스캔 구조에서의 시험방법으로는 불가능하다. 본 논문에서는 대상회로를 정상적인 동작 속도에서 즉, 시스템 클럭에 대해 동작시킴으로써 순서회로의 지연 결함을 시험할 수 있는 시험구조를 제안하였다. 제안된 ARCH-S는 시스템 클럭을 TCK로 사용하여 대상회로의 클럭 입력에 연속적인, 시스템 클럭의 주기를 가지는 신호를 발생시킨다.

ARCH-S 구조에서의 지연시험에 소요되는 시간은 식(1)과 같다.

$$T_{delay}(T_{tick}) = 2 \times (S + 6) + (C + 5) + (IN + 5) + (OUT + 5) + (N - 1) \times (\text{MAX}(IN, OUT) + 5) + N \times K \quad (1)$$

$$T_{delay}(T_{tick}) = (IN + 5) + ((\text{MAX}(IN, OUT) + 5) \times (N - 1)) + (OUT + 5) + (2 \times (K - 1)) \times (IN + 5) \times N \quad (2)$$

T_{delay} : 전체 지연시험 수행 시간

T_{tick} : TCK의 주기

S : 명령어 길이

IN : 대상회로의 입력 신호선 수

OUT : 대상회로의 출력 신호선 수

N : 지연시험을 위한 입력 패턴의 수

C : 연속 발생 클럭의 수를 저장하는 레지스터의 길이

K : 연속 발생 클럭의 수

식(2)는 비교를 위해 일반적인 경계면 스캔 구조에서 클럭 입력을 갖는 대상회로에 대한 지연시험이 가능하다고 가정하고, 3.1절에서 제시된 방법을 이용하여 시험을 수행했을 때 시험에 소요되는 시간을 나타낸다.

식(1)과 식(2)을 비교한 결과는 <표 1>과 (그림 11)로 표현된다.

<표 1>은 8개의 연속 클럭과 15개의 연속 클럭을 대상회로의 클럭 입력선에 발생시키는 경우를 비교

한 것이다.

〈표 1〉의 행 방향은 대상회로의 입, 출력선의 수의 합을 표시한다. 비교를 위해 입력과 출력의 개수가 동일하다고 가정하였다. 〈표 1〉의 열 방향은 대상회로에 입력되는 입력 패턴의 수를 의미한다. 비교를 위해 각 구조가 가지는 명령어의 길이를 3bit, ARCH-S에서 연속 클럭의 수를 지정하는 레지스터의 길이를 4bit로 하였다.

〈표 1〉 지연시험 수행 시간의 비율
(Table 1) Comparison of test time for ARCH-S

(연속발생클럭의 수:8)

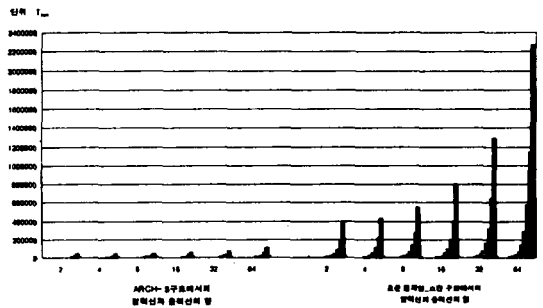
| 입·출력 신호선의 합 입력 패턴의 수 | 2 | 4 | 8 | 16 | 32 |
|----------------------------|--------|--------|--------|--------|--------|
| 1 | 44.12% | 39.50% | 33.33% | 26.70% | 21.01% |
| 2 | 29.80% | 26.84% | 22.90% | 18.65% | 15.01% |
| 4 | 22.31% | 20.22% | 17.44% | 14.44% | 11.87% |
| 8 | 18.48% | 16.83% | 14.64% | 12.28% | 10.26% |
| 16 | 16.54% | 15.12% | 13.23% | 11.19% | 9.45% |
| 32 | 15.56% | 14.26% | 12.52% | 10.65% | 9.04% |
| 64 | 15.07% | 13.83% | 12.16% | 10.37% | 8.84% |
| 128 | 14.83% | 13.61% | 11.98% | 10.23% | 8.73% |
| 256 | 14.71% | 13.50% | 11.89% | 10.17% | 8.68% |
| 512 | 14.64% | 13.45% | 11.85% | 10.13% | 8.66% |
| 1024 | 14.61% | 13.42% | 11.83% | 10.11% | 8.64% |
| 2048 | 14.60% | 13.41% | 11.82% | 10.10% | 8.64% |

(연속발생클럭의 수:15)

| 입·출력 신호선의 합 입력 패턴의 수 | 2 | 4 | 8 | 16 | 32 |
|----------------------------|--------|--------|--------|--------|--------|
| 1 | 27.96% | 24.88% | 20.79% | 16.38% | 12.60% |
| 2 | 19.95% | 17.80% | 14.94% | 11.85% | 9.21% |
| 4 | 15.84% | 14.17% | 11.94% | 9.54% | 7.48% |
| 8 | 13.76% | 12.33% | 10.42% | 8.36% | 6.60% |
| 16 | 12.72% | 11.40% | 9.66% | 7.77% | 6.16% |
| 32 | 12.19% | 10.94% | 9.27% | 7.48% | 5.94% |
| 64 | 11.93% | 10.71% | 9.08% | 7.33% | 5.83% |

| | | | | | |
|------|--------|--------|-------|-------|-------|
| 128 | 11.80% | 10.59% | 8.98% | 7.25% | 5.77% |
| 256 | 11.73% | 10.53% | 8.94% | 7.22% | 5.74% |
| 512 | 11.70% | 10.51% | 8.91% | 7.20% | 5.73% |
| 1024 | 11.68% | 10.49% | 8.90% | 7.19% | 5.72% |
| 2048 | 11.67% | 10.48% | 8.89% | 7.18% | 5.72% |

(그림 11)은 연속 발생 클럭의 수를 8개로 하였을 때, 일반적인 경계면 스캔 구조에서 지연시험에 소요되는 시간과 ARCH-S에서 소요되는 시간의 그래프를 보여준다. 그래프의 왼쪽이 ARCH-S일 때 소요되는 시간을 나타내며, 오른쪽이 일반적인 경계면 스캔 구조에서 소요되는 시간을 나타낸다. 그래프의 y축은 시험에 소요되는 시간이며 단위는 T_{clk}이다. x축은 대상회로가 가지는 입력선과 출력선의 합한 수를 나타내며, 입력과 출력선의 개수는 동일하다고 가정하였다. x축의 각 신호선의 개수에 위치한 막대그래프들은 왼쪽에서 오른쪽으로 대상회로에 입력될 패턴의 수를 의미하며, 1, 2, 4, 8, 16, 32, 64, 128, 256, 512, 1024, 2048개의 패턴을 입력했을 때의 수행시간을 나타낸다. 대상회로의 신호선의 개수가 늘어날수록, 입력될 패턴의 수가 늘어날수록 ARCH-S에 의한 지연시험의 소요시간이 크게 단축됨을 알 수 있다. 또한 연속 발생될 클럭의 수가 많을수록 ARCH-S에 의한 지연시험이 효율적임을 보여준다.



(그림 11) ARCH-S에서의 지연시험 수행시간의 비교(연속 발생 클럭 수 : 8)

(Fig. 11) Comparison of test time for ARCH-S (the number of continuous clock : 8)

5. 결 론

본 논문에서는 ANSI/IEEE Std 1149.1 경계면 스캔 구조에서의 클럭 입력을 갖는 순서회로에 대한 지연 시험 구조와 시험 절차를 개발하였다. 이를 위해 경계면 스캔 구조에서의 지연시험 방법에 대한 고찰을 통해 순서회로에 대한 지연시험의 문제점을 파악하였다.

순서회로에 대한 경계면 스캔 구조에서의 지연시험이 가지는 첫 번째 문제점은 대상회로에 입력 패턴을 인가한 후, 그에 대한 응답값을 캡처할 때 까지 시간이 최소 $2.5T_{clk}$ 가 소요된다. 즉, 시스템 클럭이 주입될 시, 대상회로의 정상 동작 여부를 판단할 수 없다는 것이며, 두 번째는 대상회로의 클럭 입력에 상승(하강) 에지를 발생시키기 위해 대상회로의 나머지 입력들에 대해 동일한 패턴을 중복 입력하는 것이다. 중복 패턴의 입력은 지연시험 소요 시간의 증가를 의미한다. 세 번째 문제점은 대상회로의 클럭 입력과 나머지 입력들과의 시간 간격이 $(\text{입력개수}(N) + 4) T_{clk}$ 가 소요되므로, 상승(하강) 에지를 발생시키는 시점이 너무 늦어짐으로 대상회로의 동작을 정상적인 속도에서 검증할 수 없다는 것이다.

본 논문에서 제안하는 ARCH-S는 클럭 카운팅 기술을 이용하여 정해진 수의 클럭을 대상회로의 클럭 입력선에 적용시킴으로써 대상회로에 입력되는 입력 패턴의 중복을 피할 수 있다. 또한 대상회로를 정상 속도에서 동작할 수 있도록 시스템 클럭을 TCK로 사용한다. 연속적인 클럭 발생에 TCK를 사용함으로써 대상회로를 정상 속도에서 검증할 수 있다. ARCH-S는 고정적인 소규모의 하드웨어 추가가 필요하며, 시뮬레이션을 통해 동작의 정확성을 확인하였다. 시험 대상회로의 규모가 커지고, 지연시험을 위한 입력 패턴의 수가 늘어날 수록 제안된 ARCH-S의 효율성이 증대될 것이다.

참 고 문 헌

[1] Victor P. Nelso, H. Troy Nagle, "Digital Logic Circuit Analysis & Design," Prentice-Hall Inc, 1995.
 [2] Kenneth E. Posse, "A Design-For-Testability Ar-

chitecture For Multichip Modules," IEEE International Test Conference, pp. 113-121, 1991.

[3] IEEE Std. 1149.1-1990, IEEE Standard Test Access Port and Boundary Scan Architecture, May 21, 1990.
 [4] C. M. Maunder and R. E. Tulloss, The Test Access Port and Boundary Scan Architecture, IEEE, 1990.
 [5] Hoon Chang and Jacob A. Abraham, "Delay Test Techniques for Boundary Scan based Architecture," IEEE CICC., pp. 13.2.1-4, 1992.
 [6] 姜秉旭, 安光善, "경계면-스캔 기저 구조를 위한 지연시험," 대한전자공학회 논문집, 31권 A편 6호., pp. 199-208, 1994.
 [7] M.A. Breuer, "The Effects of Races, Delays and Delay Faults on Test Generation," IEEE Trans. Computers, pp. 1078-1092, Oct. 1974.
 [8] Y.K. Malaiya and R. Narayanaswamy, "Modeling and Testing for Timming Faults in Synchronous Sequential Circuits," IEEE Design and Test of Computers, pp. 62-74, Nov. 1984.
 [9] J.D.Smith, Lesser and J. J. Schedletsy, "An Experimental Delay Test Generation for LSI," IEEE Trans. Computer, vol. C-29, no. 3, pp. 235-248, 1980.
 [10] G.L.Smith, "Model for Delay Faults Based upon Path," Proc. Int. Test Conf., pp. 342-349, 1985.
 [11] C.J.Lin and S.M.Reddy, "On Delay Fault Testing in Logic Circuits," IEEE Trans. CAD, Sep., pp. 694-703, 1987.



이 창 회

1992년 경북대학교 공과대학 컴퓨터공학과 졸업(학사)
 1994년 경북대학교 공과대학 컴퓨터공학과 대학원 졸업(학석사)
 1996년 경북대학교 공과대학 컴퓨터공학과 대학원 박사 수료

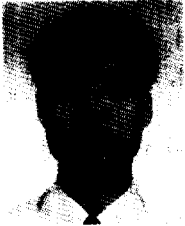
관심분야: 디지털 회로 설계, DFT(design for testability), ATPG, 회로 분할



김 정 환

- 1985년 경북대학교 공과대학 전자공학과 졸업(학사)
- 1987년 경북대학교 공과대학 컴퓨터공학과 대학원 졸업(공학석사)
- 1992년 경북대학교 공과대학 컴퓨터공학과 대학원 박사 수료

1993년~현재 계명전문대학 사무자동화과 조교수
 관심분야: Delay testing, Min-Delay Partitioning



윤 태 진

- 1994년 경북대학교 공과대학 컴퓨터공학과 졸업(공학사)
 - 1996년 경북대학교 대학원 컴퓨터공학과 졸업(공학석사)
 - 1996년~현재 경북대학교 대학원 컴퓨터공학과 박사과정
- 관심분야: VLSI 테스트, VLSI 설계, VHDL



남 인 길

- 1978년 경북대학교 전자공학과 전자계산전공(학사)
- 1981년 영남대학교 대학원 전자공학과 계산기 전공(공학석사)
- 1992년 경북대학교 대학원 전자공학과 전산공학 전공(공학박사)

1978년~1980년 대구은행 전산부
 1980년~1990년 경북산업대학 전자계산학과 부교수
 1990년~현재 대구대학교 컴퓨터정보공학부 교수
 관심분야: 데이터베이스



안 광 선

- 1972년 연세대학교 전자공학과 졸업(공학사)
- 1980년 연세대학교 대학원 전자공학과 졸업(공학박사)
- 1975년~1976년 스페리유니백 근무
- 1977년~현재 경북대학교 컴퓨터공학과 정교수

1981년~1982년 미국 아리조나시립대학 객원교수
 1990년~1991년 미국 텍사스주립대학 객원교수
 1995년~1996년 미국 버지니아대학 객원교수
 관심분야: VLSI 테스트, VLSI 설계, 컴퓨터구조