

신호 검증을 통한 고속 다층 인쇄회로기판의 설계

최 철 용[†]

요 약

다층 인쇄회로기판에서 고속 신호를 정확하고 신속하게 배선 설계하려면, 물리적 설계 규칙과 신호 잡음을 고려한 전기적 설계 규칙을 정립하고, 적용할 신호 검증 도구를 사용하여 신호의 충실성을 검증하여야 한다. 본 논문은 현재 개발 제작되어 동작 중에 있는 HIPSS(High Performance Storage System) 보드에 대한 전기적 설계 규칙과 고속 신호의 배선에 따른 일부 고속 신호의 신호 검증 방법을 설명한다. 또한 전기적 설계 규칙을 적용하여 인쇄회로기판을 설계하는 경우, 발생하는 신호 지연, 반사 그리고 누화 등의 신호 잡음을 검증 도구를 이용하여 시뮬레이션 하고, 분석한 결과를 보이며, 수정된 고속 신호의 배선 설계를 확인한다.

A Design of a High-Speed Multilayer Printed Circuit Board through Signal Verification

Chul Yong Choi[†]

ABSTRACT

In order to route high-speed signals correctly and quickly in a multilayer printed circuit board (PCB), it is required to set up both physical design rules and electrical design rules considering signal noises and to verify signals integrity by using signal verification tools. In this paper, the electrical design rules and high-speed signals verification of HIPSS (High Performance Storage System) board under operation now are presented. We also discuss the simulation and evaluation results of signal noises including propagation delay, reflection and crosstalk which may be generated by applying the electrical design rules into the board, and then validate the modified routing of the high-speed signals.

1. 서 론

최근 다수의 고속 고집적 회로 소자를 인쇄회로기판에 실장함에 따라, 컴퓨터 시스템의 고속화와 다양한 기능이 구현되고 있다. 이러한 다층 인쇄회로기판의 고속 신호 배선에는 신호선의 저항, 커패시턴스(capacitance), 인덕턴스(inductance)의 회로 요소들로 해

석되며, 배선의 형태에 따라 여러가지 신호 잡음을 발생시킨다. 이러한 신호 잡음 발생의 문제점을 해결하려면, 신호 잡음을 고려한 설계 규칙 정립과 설계 규칙을 적용한 검증 도구의 사용이 필수적이다[1]. 다층 인쇄회로기판의 신호 잡음은 회로의 구동 측과 수신 측 사이의 최대 신호 지연 시간, 임피던스 불일치로 발생하는 신호 반사(reflection), 신호선 간의 누화(crosstalk) 등이 있으며, 그 외도 전원(power) 및 접지(ground) 바운스(bounce)에 영향을 주는 SSN(Simultaneous Switching Noise), 송신 측의 정선 온도 변화나 수신 측의

[†] 정 회 원 : 한국전자통신연구원 선임기술원
논문접수: 1997년 6월 11일, 심사완료: 1997년 11월 24일

동작 온도가 변화는 경우, 관련 소자 내부의 재질에 따른 열 이동(thermal shift)과 외부 신호에 의한 외부 잡음(external noise) 등이 있다. 이와 같이 신호 잡음의 자원을 해결하기 위해서는 각 소자 마다 DC 전류, 전압 곡선의 상승과 하강 시간 등의 정보를 가지는 소자(device) 모델과 소자의 회로 연결선 정보를 가지는 회로 연결선(interconnect) 모델들이 있다. 이러한 모델들이 다층 인쇄회로기판의 고속 신호 검증을 위한 라이브러리로 구축되어 사용된다.

본 논문에서는 고속병렬컴퓨터 HIPSS 시스템에 사용하는 보드를 신호 검증 대상으로 하며, 고속 인쇄회로기판의 신호 잡음 문제 해결을 목적으로 한다. 이러한 문제의 해결을 위하여 회로 설계자와 인쇄회로기판 설계자 그리고 신호 검증자의 상호 협조에 의해 물리적 규칙과 전기적 규칙을 정의하고, 이 정의된 규칙에 따른 인쇄회로기판의 배선이 정의된 설계 규칙과 검증에 필요한 도구 그리고 실제 신호선의 분석을 위한 관련 라이브러리의 설계 과정과 실제 대상 보드를 설계 규칙에 따라 배선하고, 신호를 검증하여 인쇄회로 기판에 구현한 보드 결과를 보여준다.

본 논문의 구성은 2장에서 후 처리 및 관련 설계 규칙에 대하여, 3장에서는 신호 검증 라이브러리 설계 방법을 기술하고, 4장에서 적용 시스템 구성에 대하여 기술하였다. 5장에서는 시스템의 적용을 통한 시뮬레이션 및 결과를 분석하며, 6장에서 결론을 맺었다.

2. 후 처리 및 관련 설계 규칙

다층 인쇄회로기판의 고속 신호선을 배선 설계 하려면, 전처리의 패키져(packager)된 출력 데이터를 후 처리의 입력 데이터로 사용하여, 다층 인쇄회로기판의 검증 대상 보드인 hipss.brd를 생성 시킨다[2]. 생성된 hipss.brd를 케이던스사의 레이아웃(layout) 도구인 알레그로(Allegro)에 hipss.brd 데이터를 읽어서, 관련된 설계 규칙을 정의하고, 부품 배치를 완료한 다음, 전체 신호선이 배선 될 수 있게 층 수와 층의 이름을 정의한다. 아래 <표 1>은 검증 대상 보드에 적용할 관련 설계 규칙을 정의한 것이다.

<표 1>의 관련 설계 규칙 정의에는 물리적 규칙과 전기적 규칙으로 구분한다. 물리적 규칙은 신호 잡음을 최소화 할 수 있게 선과 핀, 비어 간의 배선 간격,

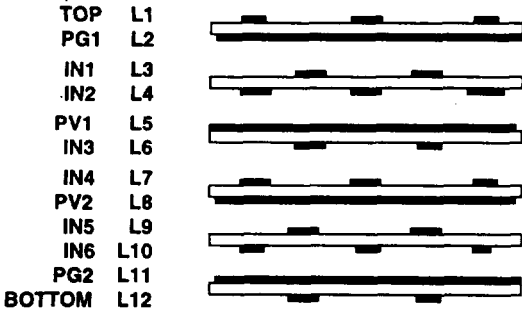
최대 비어 개수 등을 정립한다. 전기적 규칙은 배선 후, 신호 검증시에 활용되는 것으로 신호 잡음의 한계치를 정립한다.

<표 1> 관련 설계 규칙 정의
<Table 1> Definition of relation design rule

구분	파라미터	허용값
물리적 규칙	최소 선폭	5mil
	선과 선 간격	15mil
	선과 핀 간격	10mil
	선과 비어(via) 간격	10mil
	최대 비어 개수	5개
	최대 스텝(stub) 길이	325mil
	최대 평행거리 선 간격(3000mil)	15mil
	최대 평행거리 선 간격(3000mil 이상)	20mil
전기적 규칙	최대 peak 정/역방향 누화	150mv
	최대 sum 정/역방향 누화	150mv
	최대 오버슈트(overshoot)	150mv
	최대 언더슈트(undershoot)	150mv
	최대 열 이동(thermal shift)	25mv
	최대 외부 잡음(external noise)	0mv
	최소 잡음 폭(noise margin)	25mv
	최대/최소 신호 지연시간	각신호지정
최대/최소 신호 상승시간	각신호지정	
최대/최소 신호 안정시간	각신호지정	

(그림 1)은 hipss.brd보드의 적층 구조이다. 보드의 적층 구조에서 층별 구성으로 L1은 인쇄회로기판 표면에 신호 배선이 형성되는 층으로 형태는 마이크로 스트립 라인(microstrip line) 형이고, 선 폭은 5mil이며, 한쌍의 전원 층은 L2와 L11이다. 그리고 전송 임피던스는 73Ω이다. 또한 L3과 L4는 신호선 평면의 양쪽이 모두 파워플레인(power plane)으로 둘러싸인 경우로, 신호 층의 형태는 대칭적인(symmetric) 스트립라인(stripline) 형이고, 선폭은 5mil이며, 한쌍의 전원 층은 L2와 L5이다. 그리고 전송 임피던스는 65Ω이다. 한편 L6과 L7에 대한 신호 층의 형태는 비대칭적인(asymmetric) 스트립라인(stripline) 형이고, 선폭

은 5mil이며, 한쌍의 전원층은 L5와 L8이다. 그리고 전송 임피던스는 65Ω이다. 또한 L9와 L10에 대한 신호 층의 형태는 대칭적인 스트립라인 형이고, 선 폭은 5mil이며, 한쌍의 전원 층은 L8과 L11이다. 그리고 전송 임피던스는 65Ω으로 구성된다.



(그림 1) 인쇄회로기판의 적층 구조
(Fig. 1) Layer configuration of PCB

3. 신호 라이브러리 설계

신호 라이브러리(library)는 크게 소자(device) 라이브러리와 회로 연결선(interconnect) 라이브러리로 구분된다. 소자 라이브러리에는 device 모델과 I/O cell 모델, spicedevice 모델이 있다. 소자 모델은 각 신호에 대한 핀 정보와 각 핀에 할당되는 I/O cell 모델, 해당 핀이 참고하는 전원과 접지 핀의 정보, 기생 패키지(package) 데이터에 대한 정보를 가진다. I/O cell 모델은 소자의 핀이 가진 적정 온도, 신호의 상승과 하강 시간, 잡음 여유, 전류와 전압 특성 곡선에 대한 정보를 가진다[3]. Spicedevice 모델은 저항, 커패시턴스 등의 수동 소자에 대한 spicedevice 표현이다. 회로 연결선(Interconnect) 라이브러리는 신호의 구동 측과 수신 측 사이의 회로 연결선 정보를 R(저항), L(인덕턴스), G(컨덕턴스), C(커패시턴스)에 관련된 형태의 정보를 가진다.

아래는 소자(device) 라이브러리 설계의 보기이다.

3.1 소자 라이브러리

(1) 소자 모델

소자(device) 모델은 다음과 같은 항목에 따라 생성

한다.

- **ModelName**: 소자(device) 모델의 이름(예: ASP14)을 기술한다.
- **PinCount**: 패키지(package)에 있는 핀의 전체(예: 14) 수를 기술한다.
- **Pin Parasitics**: R(Resistance), L(Inductance), C(Capacitance)에 값(예: 19mohm, 4.5nH, 2pF)을 기입한다.
- **I/O cell Model**: 출력(Output), 입력(Input), I/O, Tri-state 그리고 Opendrain 핀의 이름(예: A output, B input, C I/O, D tristate, E opendrain)을 기술한다.
- **Pin**: 패키지의 핀(Output=12 13, Input=3 5, I/O=2 4, Tristate=10 11, Opendrain=, Power=1, Ground=8) 수를 기술한다.

(2) I/O cell 모델

핀 또는 I/O 모델은 하나의 소자에서 특수한 핀에 대하여, 송신 측과 수신 측을 표시한다. 이러한 모델들은 I/O 버퍼에 관한 행위적(behavioral) 정보로, 이를 테면 voltage thresholds와 VI 곡선(curves)을 포함한다. I/O Cell 모델은 다음과 같은 항목에 따라 생성한다.

- **Name**: 존재하는 I/O Cell의 이름(예: C I/O)을 기술한다.
- **Type**: 존재하는 핀 모델의 모양(예: I/O)을 기술한다.
- **Technology**: TTL, CMOS, ECL 중 관련 소자를 선택한다.
- **Die Capacitance**: Min(중간 die 용량 값, 예: 3pF), Typ(실질적인 die 용량 값, 예: 8pF), Max(최대 die 용량 값, 예: 10pF)의 값을 기술한다.
- **Rise dV/dT(Slew Rate)**: Min(신호가 spec으로 부터 high logic 상태로 상승을 가지는 중간 시간), Typ(신호가 spec으로 부터 high logic 상태로 상승을 가지는 실질적인 시간), Max(신호가 spec으로 부터 high logic 상태로 상승을 가지는 최대 시간)의 값을 기술한다.
- **Fall dV/dT(Slew Rate)**: Min(신호가 spec으로 부터 low logic 상태로 하강을 가지는 중간 시간), Typ(신호가 spec으로 부터 low logic 상태로 하강을 가지는 실질적인 시간), Max(신호가 spec으로

부터 low logic 상태로 하강을 가지는 최대 시간)의 값을 기술한다.

- V/I Ref. Temperature: 상승과 하강 데이터를 가졌던 것의 온도를, Min, Typ, Max의 값을 기술한다.
- PullDown, Pullup, GroundClamp, PowerClamp에 대한 참조 전압에는 최소 참조 전압, Typ에 대한 실질적인 참조 전압과 Max에 대한 최대 참조 전압을 기술한다.
- VI Convection의 선택에는 Databook(databook에 기술한 VI 커버를 보인다)과 IBIS(I/O Buffer Information Specification 형태로 VI 커버 데이터를 보인다)의 하나를 선택한다.
- Voltage: 출력 전압을 기술한다.
- Min I, Typ I, Max I: 중간 전류 그리고 실질적인 전류와 최대 전류를 기술한다.

(3) Espicedevice 모델

이 모델은 소자를 행위적(behavioral)으로 기술한다. 스파이스(spice)와 같이 espicedevice는 새로운 라인 문자에 의존한다. Espicedevice 파일은 형식에 의해서만 의미를 가진다. Espicedevice 모델은 다음과 같은 항목에 따라 생성한다.

- 소자 모델 browser로부터 Espicedevice 모델 이름을 선택한다.
- Textedit 버튼을 선택(vi 윈도우가 열리고, 모델 정보가 보여짐) 한다.
- 존재하는 파일에서 필요한 모든 내용을 변경하여 만든다.
- Vi save 명령을 사용하여 파일을 저장한다.

Espicedevice 모델의 보기는 (그림 2)와 같다.

```

("resistor50"
 (Espice
  ".subclk resistor50 1 2
  R1 1 2 50
  .ends resistor50
  ")
 (Manufacturer "Signetics"))
    
```

```

(PinConnections
 ("1" "2")
 ("2" "1")
 )
(XNetConnections
 ("1" "2")
 ("2" "1")
 )
)
    
```

(그림 2) Espicedevice 모델의 예
(Fig. 2) Example of the espicedevice model

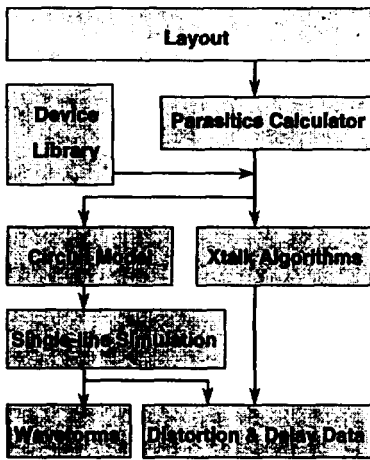
3.2 Interconnect 라이브러리

회로 연결선(Interconnect) 라이브러리 모델 browser에서는 동박의 적층 및 영역 해석을 보일 뿐만 아니라, 회로 연결선 라이브러리에 있는 모델의 목록과 라이브러리 추가, 삭제, 편집을 할 수 있다.

- Show Models From: 전체 라이브러리(라이브러리 browser 양식에서 목록된 라이브러리의 모든 모델을 보여준다)와 선택 라이브러리(browser에서 선택 라이브러리 중 오직 존재하는 라이브러리를 보여준다)중 하나를 선택한다.
- Model Type Filter: Any(선택된 라이브러리에서 Trace, Shape, Via 모델을 모두 보여준다), Trace(선택된 라이브러리에서 Trace 모델만 보여준다), Shape(선택된 라이브러리에서 Shape 모델만 보여준다), Via(선택된 라이브러리에서 Via 모델만 보여준다)중 선택하여 모델을 보여준다.
- Model Name Pattern: 문자 모양에 따라 회로 연결선(interconnect) 모델을 정렬하여 목록한다. 그리고 wildcard(*)나 심볼(symbol)도 사용할 수 있다.
- Adding a New Interconnect Library Model: 모델을 추가하려면, add model 버튼을 선택한다. Add interconnect model 양식이 보여지면, 선택된 라이브러리 모델의 clone을 이용하거나 새로운 모델을 생성시킨다. 여기서 두개의 항목(Clone Selected Library Model, Create Default Model) 중 하나를 선택하여 새로운 라이브러리를 만든다.

4. 적용 시스템 구성

적용 시스템에 대한 구성은 로직(logic) 설계 데이터가 물리적 설계 규칙을 기반으로 전환된 후, 레이아웃(layout) 도구(tool)인 Allegro 도구의 설계 규칙을 기본으로 물리적 배치 및 배선을 실행한다. 배치 및 배선 실행 시 설계 규칙과 전기적 설계 규칙을 반영하여 배선을 하고, 위반된 배선이 발생하면, 나비 모양의 표시를 보인다. 위반된 나비 표시의 배선을 제거하기 위해서는 배선의 위치를 이동하거나 새롭게 배선하여 위반 표시가 나타나지 않도록 배선한다. 이렇

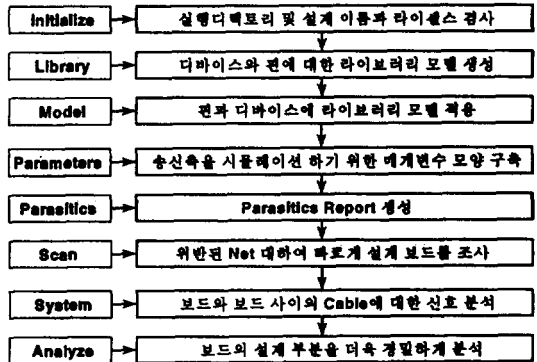


(그림 3) Scan 모드의 과정도
(Fig. 3) The processing diagram of scan mode

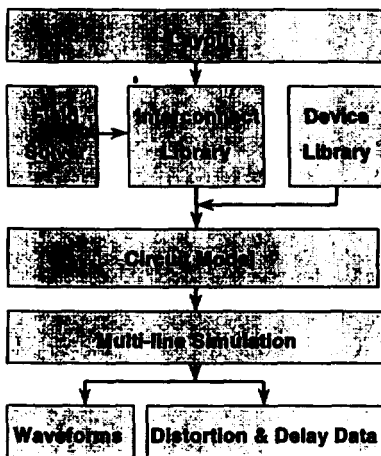
게 하여 전체 신호선의 배선이 완료된 보드는 신호 검증 도구에서 두개의 모드로 분석하는데, 첫 번째는 검사(Scan) 모드로, (그림 3)의 과정[4]에 따라 전체 배선을 조사하여 위반된 네트를 추출하고, 추출된 각 네트의 위반 데이터와 파형을 생성한다.

두 번째는 분석(Analyze) 모드로, (그림 4)의 과정[5]에 따라 검사(Scan) 모드에서 추출된 배선을 더욱 세분화 시켜, 각 신호 잡음의 종류를 선택하여 분석하고, 분석된 보고서를 토대로 신호선의 배선을 수정 보완하여 신호선의 문제를 해결한다.

적용 시스템의 전체 구성을 위한 과정을 순서도[6]로 표현하면 (그림 5)와 같다.



(그림 5) 적용 시스템의 순서도
(Fig. 5) A flowchart of the applying system

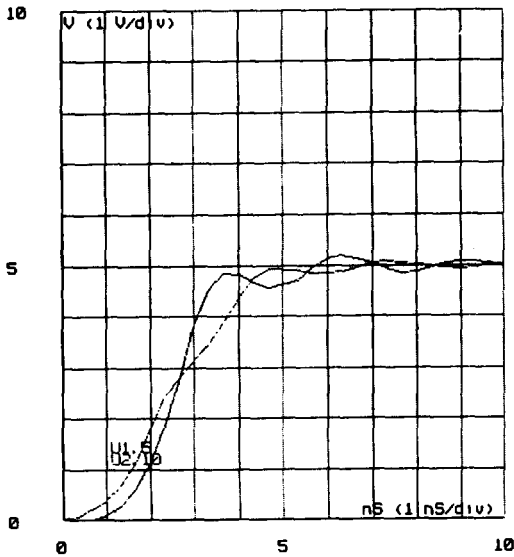


(그림 4) Analyze 모드의 과정도
(Fig. 4) The processing diagram of analyze mode

5. 시뮬레이션 및 결과 분석

5.1 시뮬레이션

HIPSS.brd 파일을 물리적 규칙과 전기적 규칙을 기준으로 시뮬레이션을 실행한다. 시뮬레이션에서 추출하고자 하는 특성은 각 신호의 길이에 대한 임피던스, 누화, 반사에 대한 최대치와 최소치 그리고 선 길이에 적용된 각 신호선의 설정 값을 위반한 신호를 검사(scan) 모드에서 검사하여 추출한다. (그림 6)은 검사(scan) 모드에서 전체 네트를 검사하여 추출된 네트 신호선 중 오버슈터(overshoot)와 누화(crosstalk)가 가장 심각한 NET4 상승(rise) 신호선에 대한 위반된 신호선의 파형 결과이다.



(그림 6) 위반된 신호선 파형
(Fig. 6) Waveform of the violated signal line

(그림 6)에서 U1의 5번 핀과 U2의 10번 핀으로 연결된 선의 네트 이름은 NET4이다. 파형에서 소자 U1의 5번 핀의 출력 신호가 5mV로 배선된 신호선을 통해 소자 U2의 10번 핀으로 입력 신호가 도달하는 경우, 소자 U2의 10번 핀에 인가되는 입력 신호가 관련 설계 규칙의 정의에서 설정한 허용 값을 초과한 위반된 신호선이다. 이 파형은 상승(rise)하는 경우로 오버

〈표 2〉 설계 규칙 위반 결과
(Table 2) Violation result of design rule

설계규칙 위반		
NET4	RISE(mv)	FALL(mv)
Reflection :		
Overshoot	190.4	982.163
Undershoot	147.08	301.256
Crosstalk :		
Backward Xtalk Sum	175.791	175.791
Backward Xtalk Peak	175.791	175.791
Forward Xtalk Sum	25.652	25.652
Forward Xtalk Peak	25.652	25.652

슈터(overshoot)가 허용 값 150mV를 초과한 190.4mV로 그리고 누화(crosstalk)는 허용 값 150mV를 초과한 175.791mV의 시뮬레이션 결과로 추출되었다.

〈표 2〉는 설계규칙 위반 결과로 〈표 1〉의 관련 설계 규칙 정의에서 설정한 허용값을 비교한 결과, NET4의 파형 상승(rise)시 반사 부분에서 오버슈터가 위반되었고, 누화 부분에서 Backward Xtalk Sum과 Backward Xtalk Peak가 위반되었다. 또한, 파형 하강(fall)시 반사에서 오버슈터와 언더슈터가 위반되었고, 누화 부분에서는 Backward Xtalk Sum과 Backward Xtalk Peak가 위반되었다.

위반된 신호선의 추출에 따라 심각한 네트 신호를 우선으로 하나씩 더욱 정밀하게 분석하여, 수정 또는 배선 위치 이동을 통하여 신호의 전달을 해결한다.

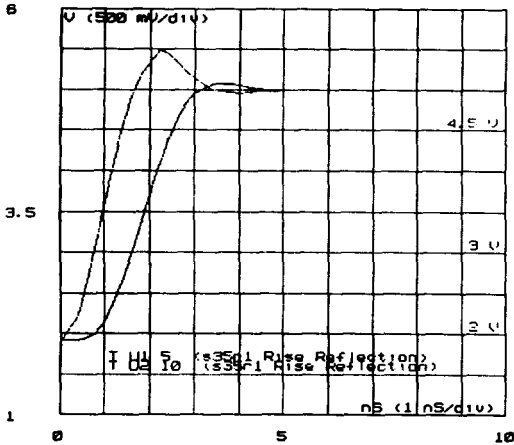
5.2 결과 분석

시뮬레이션에서 추출된 신호선을 더욱 정밀하게 분석하기 위하여, 적용 시스템의 분석(Analyze) 모드에서 위반된 네트 신호선을 선택하여 분석한다. 여기서 위반된 네트 신호선의 신호 지연과 반사, 그리고 누화 분석을 통하여 위반된 신호 특성을 해결하고, 수정하여 완만한 신호가 송신 측에서 수신 측에 도달하게 한다. 결과 분석으로 NET4 신호선을 중심으로 신호 지연과 반사, 그리고 누화 분석에서 수정된 결과를 확인한다.

(1) 신호 지연 및 반사 분석

신호선의 구동 측과 수신 측에서의 반사를 최소화하기 위해 NET4 신호선의 양쪽 종단에 35Ω의 터미네이션 저항을 연결하였다. 이것은 NET4 신호선이 배선된 인쇄회로기판 내층의 특성 임피던스에 가까운 상용 어레이 저항이다. (그림 7)은 제어 로직 중 데이터 신호 NET4에 대한 신호 지연 및 반사 시험 파형 결과이다. 이 파형에서 소자 U1의 5번 핀과 소자 U2의 10번 핀에 35Ω의 터미네이터 저항을 소프트웨어적으로 연결하여 분석한 파형이다. 파형에서 소자 U2의 10번 핀에 인가되는 신호선의 파형이 완만하게 도달되는 것을 확인하였다. 그리고 〈표 1〉의 전기적 규칙에서 설정한 오버슈터(overshoot)와 언더슈터(undershoot)도 허용 값 150mV를 초과하지 않았다. 뿐만 아니라, 소자 간의 지연 시간은 측정된 규정치 내에 있

는 것을 확인할 수 있었고, 스위칭 시간도 신호가 구동된 시점부터 수신 측에 도달하여 $V_{REF}(4.5V)$ 에 도달하는데 까지 걸리는 시간도 이상 없이 동작하였다.



(그림 7) NET4의 신호 지연 및 반사 시험
(Fig. 7) Signal delay and reflection test of NET4

〈표 3〉은 NET4 신호의 신호 지연과 반사 검증에 대한 분석 결과로 구동 소자 U1의 5번 핀의 출력 신호가 NET4의 신호선을 통하여 소자 U2의 10번 핀에 인가되는 신호 지연 및 반사 분석의 분석 결과 데이터이다. 분석 결과는 〈표 1〉의 전기적 규칙에 설정된 허용 값을 초과하지 않는 것을 확인할 수 있었다.

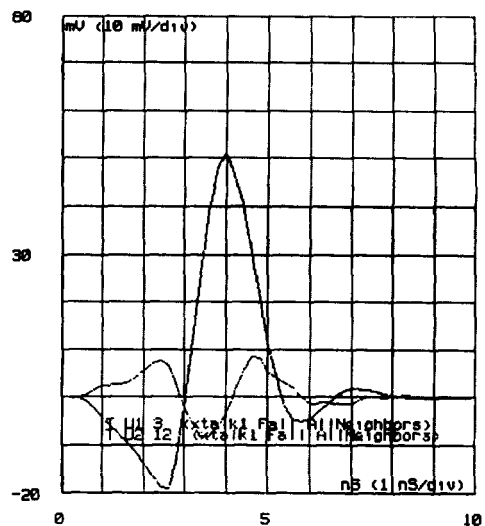
〈표 3〉 NET4 신호의 신호 지연과 반사 검증 결과
(Table 3) Results of verify reflection with signal delay of the NET4 signal

신호지연 및 반사 검증		
NET4	RISE(mv)	FALL(mv)
Reflection:		
Overshoot	73.96	31.55
Undershoot	4.66	1.52
Delay:		
Propagation	0.41	0.41
Switch	1.61	3.17
Settle	1.61	3.17

〈표 3〉은 NET4 신호의 신호 지연과 반사 검증에 대한 분석 결과로 구동 소자 U1의 5번 핀의 출력 신호가 NET4의 신호선을 통하여 소자 U2의 10번 핀에 인가되는 신호 지연 및 반사 분석의 분석 결과 데이터이다. 분석 결과는 〈표 1〉의 전기적 규칙에 설정된 허용 값을 초과하지 않는 것을 확인할 수 있었다.

(2) 누화 분석

누화의 적용 영역은 측정 신호선에서 100mil 내에 있는 신호선으로 제한하였다. 누화에 적용하는 타이밍 윈도우 매개변수는 주어진 데이터 신호를 적용하였고, 그 이외의 신호에 대해서는 모든 시간대에 걸쳐 활성 시간과 감지 시간이 적용되도록 하였다[7]. (그림 8)은 NET4 신호선에 신호가 동작하는 경우, 소자 U1의 3번 핀의 NET1 신호선과 소자 U2의 12번 핀의 NET5 신호선에 미치는 누화의 파형이다. 이 파형에서 NET1의 신호선에 10mV의 누화와 NET5의 신호선에 50mV의 누화가 발생 하였음을 보여주는 것으로, NET4 신호 동작에 의한 NET1, NET5에 영향을 주는 누화 간섭 신호 파형이다. 그리고 〈표 1〉의 전기적 설계 규칙에서 설정한 허용 값을 초과하지 않는 것을 확인하였다.



(그림 8) NET4의 누화 간섭에 의한 NET1 및 NET5 신호의 파형
(Fig. 8) Waveform of NET1 and NET5 signal by crosstalk of NET4

〈표 4〉는 NET4 신호에 의한 누화 전압의 결과 데이터이다. NET4 신호선에 신호가 동작할 경우, NET4 신호선을 중심으로 위쪽에 NET5 신호선 그리고 아래쪽에 NET3, NET2, NET1, NET0 신호선이 나란히 지나가는 상태에서 100mil 내의 누화 간섭 전압을 분석한 데이터이다. 이 데이터에서 NET4 신호선을 중심으로 가까운 쪽 신호선의 누화 전압이 크고, 먼 쪽 신호선의 누화 전압은 적었다. 누화 분석에서 NET4 신호선을 중심으로 한, 누화 분석은 〈표 1〉의 전기적 설계 규칙의 허용 값을 만족하였다.

〈표 4〉 NET4 신호에 의한 누화 전압
 〈Table 4〉 Crosstalk voltage by NET4 signal

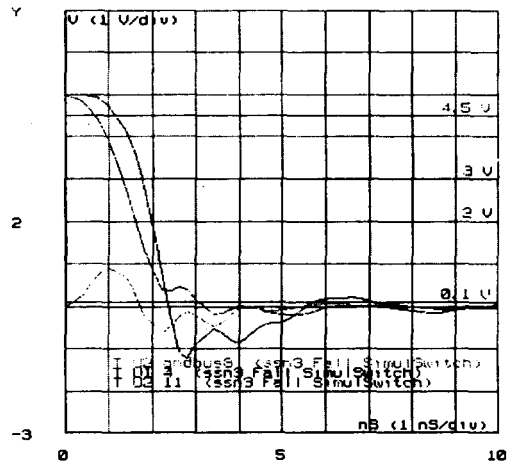
누화전압		
Signal Name	RISE(mv)	FALL(mv)
NET3	20.60	15.84
NET2	15.02	12.08
NET1	10.09	8.45
NET0	2.95	1.06

(3)SSN 분석

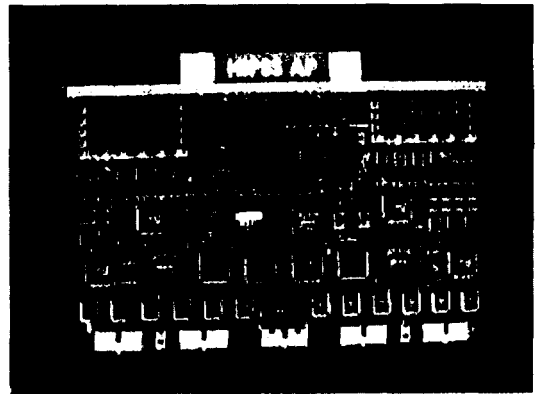
측정 신호선에 의한 SSN 분석은 패키지(package) 내부의 전원(power) 바운스(bounce)와 접지(ground) 바운스(bounce)로 패키지의 신호선에 의해 볼 수 있는 실제 동작의 전원 및 접지(ground) 버스(bus)의 바운스(bounce)이다. (그림 9)는 NET3 신호선에 의한 SSN 파형으로 소자 U1의 4번 핀에서 소자 U2의 11번 핀으로 신호가 하강(fall)으로 동작할 경우, 소자 U2 내의 접지(ground) 버스(bus)의 바운스(bounce)에 대한 파형 결과이다.

5.3 인쇄회로기판의 구현

(그림 10)은 검증이 완료된 후, 보드로 제작 완료되어 부품이 장착된 상태에서 사용 중에 있는 HIPSS 보드이다. HIPSS 보드는 가로 45cm, 세로 28cm의 크기로, 각 층과 층간은 배선 설계규칙을 적용하여 배선하였고, 배선 후의 심각한 신호선에 대하여 신호 분석 도구인 케이던스사의 DF/SigNoise 도구를 사용하여 수정 보완한 인쇄회로기판이다.



(그림 9) NET3 신호선에 의한 SSN 파형
 (Fig. 9) SSN waveform by a NET3 signal line



(그림 10) HIPSS 보드의 인쇄회로기판
 (Fig. 10) PCB of HIPSS board

6. 결 론

본 논문에서는 검증 대상 보드인 hipss.brd에 설계 규칙을 적용한 고속 다층 인쇄회로기판 설계 방법에서 관련된 매개변수 규칙을 적용하여 시뮬레이션을 하였다. 시뮬레이션 결과에서 위반된 신호선을 추출하여 신호를 분석하고 수정하여, 정확한 신호가 출력 단에서 입력 단으로 전달되게 신호 배선을 최적화하였고, 수정된 고속 신호의 배선 설계를 통하여 인쇄회로기판의 신호선을 검증하여 적용한 완성된 제품을 구현하였다. 이러한 최적화된 인쇄회로기판의 배

선 설계를 신호 분석 하는 데는, 우선 신호 라이브러리에 필요한 각 라이브러리의 설계 제작이 완료되어야 한다[8].

전체 로직 설계가 전처리에서 완성된 넷리스트를 입력 데이터로 사용하여, 후 처리인 소자 배치 및 배선을 물리적 규칙을 적용하여 설계하였고, 적용된 배선에 대하여 전기적 규칙에 위반되는 신호선을 추출하여 출력 신호가 입력 신호에 충실하게 도달 할 수 있도록 신호선을 검증하여 수정하였다. 특히 전체 신호선을 검사(scan) 모드에서 시뮬레이션하여 추출하였고, 그 신호선 중 NET4 신호선을 중심으로 <표 1>의 전기적 설계 규칙에 설정한 허용 값을 초과하는 전기적 신호를 분석(analyze) 모드를 수행하여 해결하였다. 또한 NET4 신호선에서 발생하는 신호의 영향이 주변 신호선에 미치는 누화 전압을 분석하고, 그 결과에 대한 데이터를 추출 하였으며, 출력 신호가 구동하여 입력 신호에 인가될 경우, 입력 소자의 내부에 의한 접지 버스의 바운스에 대한 파형 결과도 추출하였다.

이러한 결과를 얻기 위하여 배치 및 배선은 Allegro 도구를 이용하였고, 배선된 결과의 시뮬레이션 및 분석은 DF/SigNoise 도구를 이용하여 결과를 분석하고, 수정하여 출력 보드를 생성하였다.

최종 생성된 출력 보드는 PCB 제조 회사에서 제작되어, 현재 부품이 조립된 hipss.brd는 이상없이 동작하고 있으며, 기능을 좀더 추가한 새로운 보드를 설계 제작 중에 있다. 물론, 이 보드도 신호 검증을 위한 설계 규칙을 적용하여 배선을 완료하고, 완료된 배선의 결과를 검증 도구로 통하여 검증하고 설계 제작될 것이다.

회로 설계자가 완벽한 설계를 하였다 하더라도 고속 다층 인쇄회로기판 설계 시, 정확한 회로의 특성을 고려하지 않고 배선 설계 된다면, 설계된 고속 다층 인쇄회로기판은 회로 설계자의 디버깅(debugging) 시간을 많이 요구하거나 또는 중도에서 포기하고, 재설계를 시작하는 경우가 발생하게 된다.

따라서, 이러한 설계 방법의 접근은 고속 다층 인쇄회로기판 설계 시, 후속으로 진행되는 기판 테스트의 시간 절약과 사전 시뮬레이션을 통하여, 심각한 신호선의 배선을 레이아웃(layout) 도구(tool)에서 설계 규칙을 적용하여 배선 처리 함으로써, 설계 제작

보드의 신뢰성을 확보할 수 있다. 향후, 보드 내의 커넥터와 타 보드 간의 커넥터 연결 시, 신호 간섭 현상을 해결하는 방법에 대한 연구도 이루어 질 것이다.

참 고 문 헌

- [1] 최철용, 최성준, 임기욱, "신뢰성을 고려한 인쇄회로기판 설계," 정보처리학회 춘계 학술발표 논문집, Vol. 2, No. 1, pp. 505-507, May 1995.
- [2] Cadence, Allegro User Guide: Layout Preparation and Controls, pp. 2.1-2.54, FEB. 1996.
- [3] Derrick Duehren, Will Hobbs, Arpad Muranyi, Robin Rosenbaum, "I/O-buffer modeling Spec simplifies simulation for high-speed systems," EDN, pp. 65-70, March 1995.
- [4] Cadence, DF/SigNoise User Guide, pp. 1.1-1.17, FEB. 1996.
- [5] Cadence, DF/SigNoise User Guide, pp. 2.1-2.29, FEB. 1996.
- [6] Cadence, DF/SigNoise Training Manual, pp. 3.14-3.86, JAN. 1995.
- [7] Howard W. Johnson, Martin Graham, High-Speed Digital Design, Prentice Hall, pp. 49-57, 1993.
- [8] 최철용, "열 및 신호분석을 적용한 인쇄 회로기판의 설계," 정보처리학회 CAD/CAM 연구회 학술발표 논문집, Vol. 1, No. 1, pp. 33-38, Dec. 1996.

최 철 용

1991년 2월 한국방송통신대학교
전자계산학과(이학사)

1995년 8월 대전대학교 산업정보
대학원 산업정보학과(공학석사)

1971년~1972년 고려통신연구소

1974년~1977년 한국과학기술연구소

1978년~1985년 한국전자기술연구소

1986년~현재 한국전자통신연구원 선임기술원(컴퓨터연구단 시스템연구부 컴퓨터구조연구실)

관심분야: 컴퓨터구조, 멀티미디어, CAD, PCB열 분석 및 신호분석 등.