ATM 단말기의 동기에 관한 연구

최 승 국†

요 약

ATM 수신 단말기에서 원래 송신 단말기의 클럭과 동일한 주파수를 가져야 하는, 클럭의 동기에 관하여 연구하였다. 이를 위하여 ITU-T에서 권고하고 있는 표준 방식인 SRTS 방식과 이 방식에서 발생되는 지터를 분석하였다. SRTS 지터의 전력 스펙트럼과 rms값이 이론적으로 계산되었다. 분석 결과, T1 1.544MHz의 소스 신호의 경우 평균적인 rms값은 32.63ns 이고, E4 139.264MHz 신호의 경우, 0.15ns인 것으로 밝혀졌다.

A Study on Synchronization for ATM Terminal

Seung-Kuk Choi†

ABSTRACT

Synchronization of the clock at the ATM receiving terminal is studied. The technique analyzed here has been adapted by ITU-T as the standard for ATM timing recovery. This paper presents analysis of SRTS method itself and jitter in SRTS. The power spectrum and rms amplitude of SRTS jitter are claculated. The calculated average rms value for T1 1.544MHz source signal is 32.63ns and 0.15ns for E4 139.264MHz signal.

1. 서 론

BISDN을 패킷(packet) 또는 셀(cell)을 바탕으로 실현시키는 방식이 비동기 전달 모드(ATM : Asynchronous Transfer Mode)이다. 광대역 신호의 전송을 위하여 ITU-T에서 ATM의 physical layer interface로 동기식 디지탈 계위(SDH : Synchronous Digital Hierarchy)를 권고하였다[1]. 이에 따라 155.52Mbit/s를 기본 전송 속도로 하는 동기식 전송망이 구축될 것이며, 현재 동기식 전송 장치가 상용화되어 사용되고 있다.

ATM 방식에서는 여러 종류의 데이타들은 쪼개져서 셀의 형태가 되어 함께 다중화 된 후, SDH 동기식 전송망을 통하여 전송되며, 전송된 이 데이타는 다시 역다중화 되어 각 가입자에게 전달된다. 이때 데이타의 통계적 다중화와 스위치에서의 queueing 지연 때문에 셀들은 목적지에 순서대로 주기적으로 전달되지 못한다. 수신 단말기에 일정한 간격으로 도착하지 못한 셀들에서 송신 소스(source) 클럭과 같은 일정한 주기의 클럭을 재생(clock recovery)하는 것이 ATM에서 해결해야 할 큰 문제이다. 송신 측과 똑 같은 일정한 간격의 이상적인 도착 시간과 수신측에 일정치 않은 간격으로 실제 도착한 시간과의 차이를 셀 지터(cell jitter)라고 한다. 이러한 셀 지터는 그 크기가 매우 크기 때문에 지터가 작은 클럭의 재생이 어렵다.

ATM 방식의 수신 단말기에서 타이밍 재생을 위한

※ 본 연구는 한국과학재단 지정 인천대학교 멀티미디어연구센터의 지원으로 수행되었음.
† 정 회 원 : 인천대학교 정보통신공학과 교수
논문접수 : 1998년 7월 28일, 심사완료 : 1999년 6월 23일

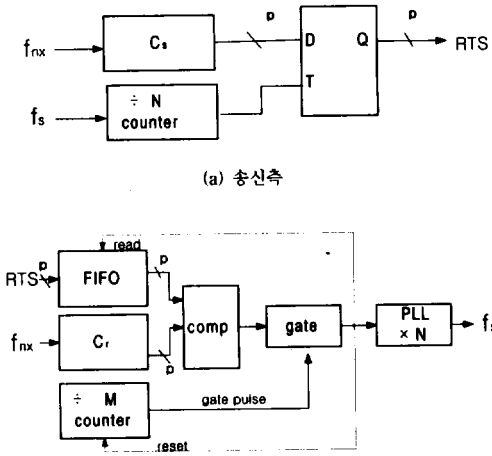
여러 가지 방법들이 제시되었으며 비동기식 방법과[2,3] 동기식 방법으로[4-6] 구분된다. ATM의 physical layer 전송 수단으로 채택된 SDH 동기식 통신망에서는 통신망내의 각 노드(node)에 있는 클럭들이 동기 되어 그 주파수가 모두 같다. 동기식 타이밍 재생 방법들로 처음 제안된 방법은 SFET(Synchronous Frequency Encoding Technique)[4]이며 이 후에 이 방식이 응용된 TS(time Stamp)방식이 개발되었다[5]. 최근에 SFET와 TS의 장점이 결합된 SRTS(Synchronous Residual Time Stamp) 방식이 만들어졌으며, SRTS 방식은 ITU-T에 의해 고정 비트율 타이밍 재생의 표준으로 채택되었다[6-8]. 이러한 SRTS 표준 방식은 발생되는 지터의 크기가 다른 방식보다 작으며 그 동기 제어 방식이 간단하다.

SRTS 방식에서는 송신측에서 입력 소스 클럭과 노드의 동기 클럭을 비교하여 두 클럭 간의 주파수 차이를 나타내는 정보를 만든다. 수신측 단말기에서는 전송되어 온 이 정보와 수신측 노드에서 공급된 동기 클럭을 이용하여 분주 비가 일정하지 않은, 즉 불 균일한 시간 간격을 가지는 클럭을 재생한다. 클럭의 이러한 불 균일성 때문에 지터가 발생한다. SRTS 방식에서 발생되는 지터에 관한 연구는 1995년에 R.C. Lau등과[4] 1996년에 K. Murakami에[7] 의하여 처음으로 이루어 졌다. Lau는 SRTS 지터가 그 발생 mechanism으로 보아, 종래에 사용되고 있는 스타핑 동기 방식에서 발생되는 지터와 그 성질이 유사할 것이라고 설명하였다. Murakami는 SRTS 지터를 컴퓨터 시뮬레이션에 의한 방법으로 분석하였으며, 이 지터가 스타핑 지터와 조금 다른 모양을 가지는 것을 밝혔다. 본 논문에서는 SRTS 동기 시스템을 분석하며, 이 방식에서 발생되는 지터를 이론적으로 계산한다.

2. SRTS 클럭 복원 회로

SRTS 방식에서는 송신측 단말기와 수신측 단말기에 모두 SDH 통신망의 동기 클럭이 공급된다. 송신측 단말기에서는 단말기의 소스 클럭이 이 동기 클럭과 비교되며, 두 클럭 간의 주파수 편차에 대한 이러한 정보는 ATM Adaptation Layer(AAL)의 오버헤드에 삽입되어 수신 측 단말기에 전송된다. 수신 측 단말기에서는 인근 노드에서 공급된 동기 클럭과 전송되어온 타이밍 정보를 이용하여 원래의 소스 클럭과 같은 주파수의 클럭을 재생한다[4,6].

(그림 1)에 SRTS 동기 회로의 구성도가 도시되었다[6-8]. (그림 1(a)) 송신 측 회로에서와 같이, 동기식 통신망에서 공급되어 온 주파수 f_n(보통 155.52 ± 4.6ppm Mbit/s[1])의 동기 클럭은 x분주 되어 주파수가 f_{nx}($f_n \div x$)인 클럭이 P비트 카운터 C_s의 입력에 가해진다. 한편 주파수가 f_s인 송신 단말기 자체의 클럭은 N분주 된다. Latch기능을 갖는 D flip-flop의 입력에는 카운터 C_s에 의해 분주된 P비트 병렬 데이타가 계속 공급되며, 이 병렬 데이타는 N분주된 소스 클럭의 edge 때마다 샘플링(또는 latch)되어 출력 Q에 나타난다. 이 샘플링된 P비트의 값을 residual time stamp(RTS)라고 하며, 이 정보는 수신측으로 전송된다.



(그림 1) SRTS 송수신측 회로도

(그림 1(b))의 수신측 회로에서, C_r은 송신측 C_s와 같은 P비트 카운터이다. 이의 출력값은 RTS와 비교되어 두 값이 같을 때마다 비교기의 출력에 펄스가 계속 발생한다. 게이트(gate) 회로의 출력은 주파수 f_{nx}의 동기 클럭이 M_L분주된 게이트 펄스의 에지(edge) 때 마다 high로 set되며, 게이트의 입력에 공급되는 비교기의 출력이 high로 변하는 에지에서 low로 clear된다. 이때 게이트 출력이 low로 변하는 순간에

M_L분주기는 reset되어서 앞의 과정을 반복하게 된다. 따라서 PLL의 입력에는 펄스간 시간 간격이 일정하지 아니한 분주되어 폭이 좁은 펄스가 공급되며, 이 펄스는 PLL에 의해 그 주파수가 N배로 확장되어 연속적인 클럭이 생성된다.

3. SRTS 지터의 파형

송신측에서 형성되는 RTS는 주파수가 f_s인 단말기의 클럭이 N개 진행하는 시간을 한 주기로 그 값이 계속 변화한다. RTS 한 주기 동안에는 주파수가 f_{nx}인 노드 클럭이 M개 존재한다.

$$M = N\frac{f_{nx}}{f_s} \tag{1}$$

그러므로 M값은 두 클럭의 주파수비에 따라서 변화하며, 이 값은 보통 정수가 아니다. ITU-T[8]에서는 N = 3008(8 셀과 한 셀당 47 octet), $1 \le r = f_{nx}/f_s < 2$, 소스 클럭의 정규화된 최대 순시 주파수 편차를 ±200 ppm, 동기 클럭의 최대 주파수 편차를 ±4.6 ppm[1] 그리고 4 비트 RTS를 권고하고 있다. 만일 f_s= 8.16 ± 200ppmMHz 신호와 f_{nx}=155.52 ± 4.6ppmMHz인 경우에 M값은 5985.2119 ± 1.224가 된다. 두 클럭 간의 주파수 차이를 나타내는 이 값은 그러나 디지탈 전송로를 통하여 수신측으로 정수로만 전달될 수 있다. 이 때 M값의 크기 변화는 작으므로(위 예에서 ±1.224) M값을 전송 시, 아래 4개의 LSB(Least Significant Bit)만을 전송하여도 충분하다. M값이 5985.2119(modulo 16에서 1.2119)일 때, 4비트 RTS는 아래와 같이 변화한다.

. . . . . ., 5, 6, 7, 9, 10, 11, 12, 13, 15, 1, 2, ... (2)

즉 나머지 소수이하의 값이 0.2119이므로 1/0.2119 = 4.719가 되어 대략 5번째 마다 이 나머지 값이 쌓여서 RTS값이 둘씩 증가한다. 수신 단말기에서는 이 RTS값으로 부터 M값을 재생한다. 이 RTS값과 수신측 노드에 있는 기준 클럭을 이용하여 (그림 1(b)에 있는 PLL의 입력신호에 분주비가 5985 또는 5986인 불 균일한 시간 간격을 가지는 펄스를 공급한다. 이때 이 M값의 평균값은 5985.2119이므로 PLL로 이 펄스의 주파수를 N배로 확장시킨 클럭을 만들면, 소스 클럭의 주파수를 가지는 클럭을 재생할 수 있다. 이러한 불 균일한 클럭을 원래의 균일한 소스 클럭과 비교하면 지터 성분이 발생하는 것을 알 수 있다. 이 지터 성분은 PLL로 저주파 필터링되는 과정에서 높은 주파수의 지터 성분은 감소되나 저주파의 성분은 그대로 통과되어, 결과적으로 수신 단말기에서 재생된 클럭에 지터가 존재하게 된다. 먼저 M값을 정수부분 M_q=「M」과 나머지값 R = M- M_q의 합으로 표시한다 ($M = M_q + R$). 이때 「x」는 아래와 같은 정수 함수(integer function)이다.

$$\text{「}x\text{」} = \begin{cases} \cdot & \cdot \\ -1 & -1 \le x < 0 \\ 0 & 0 \le x < 1 \\ 1 & 1 \le x < 2 \\ \cdot & \cdot \end{cases} \tag{3}$$

수신기에서 재생되는 M값은 그러므로 M_q 또는 $M_q + 1$, 둘 중의 한 값을 가지게 된다. 따라서 주파수가 N배되어 PLL의 출력에 나타나는 클럭의 주파수는 Nf_{nx}/M_q이거나 또는 $Nf_{nx}/(M_q+1)$이 된다. 따라서 원래 소스 클럭의 주파수 $f_s = Nf_{nx}/(M_q+R)$와 수신기에서 복원된 클럭의 주파수 사이에는 두 경우 모두 주파수 차이가 발생한다. 수신기에서 M_q의 값으로 PLL 입력 펄스가 만들어지면 이 펄스와 다음 펄스와의 시간 간격은 M_q/f_{nx}이 되며, $M_q + 1$인 경우에는 다음 펄스와의 시간 간격은 $(M_q+1)/f_{nx}$로 조금 더 크게 된다. 그러나 이 두 경우에 모두, 펄스와 다음 펄스 사이에는 PLL에 의해 같은 갯수의 N개 클럭이 복원된다. 따라서 균일한 소스 클럭의 위상과 복원되는 클럭의 위상차, 즉 지터 파형은 M_q인 경우에는 일정하게 1차 함수 모양으로 증가하며 $M_q + 1$인 경우에는 일정하게 감소하게 된다. M_q인 경우에 PLL의 입력에 공급되는 한 펄스와 그 다음 펄스 시간 간격 동안에 증가되는 지터의 크기는

$$\left(\frac{Nf_{nx}}{M_q} - \frac{Nf_{nx}}{M_q+R}\right)\frac{M_q}{f_{nx}} = \frac{NR}{M} \tag{4}$$

이며, M_q + 1인 경우에는

$$\left(\frac{Nf_{nx}}{M_q+1} - \frac{Nf_{nx}}{M_q+R}\right)\frac{M_q+1}{f_{nx}} = -\frac{N(1-R)}{M} \tag{5}$$

이 된다. 위 지터 파형에 관한 식들은 다음과 같이 물

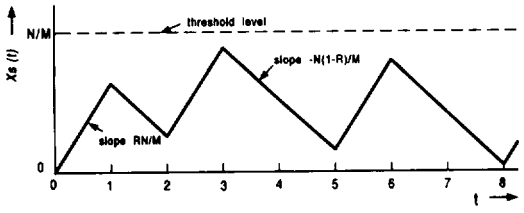
리적으로 간단히 설명될 수 있다. M값이 5985.2119인 경우, 식 (2)에서와 같이 대략 다섯번째 마다 RTS값이 둘씩 증가하므로 분주된 펄스간의 간격은 다음과 같이 변화한다.

. . . ., 5985, 5985, 5985, 5985, 5986, 5985, 5985, ... (6)

이때 나머지 값 R = 0.2119이므로 이 불균일한 펄스와 간격이 일정하게 분주된 기준 소스 클럭간의 위상차(지터)는 그 크기가

. . . ., 0.2119, 0.4238, 0.6357, 0.8476, 0.0595, 0.2714, 0.4833, ... (7)

로 계속 변화한다. 이 제어 클럭의 주파수는 f_{nx}이므로 주파수가 f_s인 소스 클럭을 기준으로 모든 수치가 환산되어야 한다. 즉 지터의 크기가 N(1-R)/M UI(Unit Interval : 78.16MHz 경우 12.79ns)보다 큰 경우에는 그 다음 펄스 시간 간격 사이에는 -N(1-R)/M UI 만큼 일정하게 감소하는 지터 파형이 된다((그림 2)). (그림 2)에서 시간의 단위는 $N/f_s = M/f_{nx} \approx M_q/f_{nx} \approx (M_q+1)/f_{nx}$(sec)이며, 지터의 기울기가 양일 때는 M_q/f_{nx}, 음일 때는 $(M_q+1)/f_{nx}$의 시간 간격을 갖는다.



(그림 2) SRTS 지터 파형

4. SRTS 지터의 분석

(그림 2)의 SRTS 지터 파형 $x_s(t)$를 관찰하면, 이 파형은 밑변이 ±1인 삼각 파형 $g(t)$들의 합으로 표시될 수 있다((그림 3) 참조). 이때 크기가 각각 다른 이 삼각형들의 높이는 $x_s(\lceil t_i \rfloor)$인데, $x_s(\lceil t_i \rfloor)$ 는 discrete한 각 샘플링 시점 $\lceil t_i \rfloor$에서의 SRTS 지터의 크기이다.

$$x_s(t) = g(t) * x_s(\lceil t_i \rfloor) \tag{8}$$

위 식에서 *는 convolution을 의미한다. $x_s(\lceil t_i \rfloor)$를 구하기 위하여 먼저 아래와 같은 톱니파 모양의 함수 $v(t)$를 정의하자(그림 4(a)).

$$v(t) = t - \lceil t_i \rfloor \tag{9}$$

그러면 $v(Rt)$는 기울기가 R인 톱니 파형이 되며, $v(R \lceil t_i \rfloor)$는 이 함수가 매 시간때만 값이 변하는 계단 파형의 함수가 된다(그림 4(b)). 그런데 $v(R \lceil t_i \rfloor)$의 파형을 자세히 관찰하면, 매 샘플링 시간 때의 이 함수의 크기가 바로 $x_s(\lceil t_i \rfloor)$인 것을 알 수 있다. 그러므로 지터 파형 $x_s(t)$는 아래 식과 같이 표현될 수 있다.

$$x_s(\lceil t_i \rfloor) = v(Rt)\ rep\ \delta(t) \tag{10}$$

$$x_s(t) = g(t) * [v(Rt)\ rep\ \delta(t)] \tag{11}$$

이때 $\delta(\cdot)$는 Dirac delta 함수이며 rep는 반복 연산자(repetition operator)이다. 이제 SRTS 지터 파형을 수학적으로 표시하였으므로, 수식 (11)을 Fourier 변환하여 SRTS 지터의 전력 스펙트럼 $S_s(f) = |X_s(f)|^2$을 구할 수 있다.

$$S_s(f) = \left(\frac{\sin \pi f}{\pi f}\right)^4 \left\{ \sum_{n=1}^{\infty} \left(\frac{1}{2\pi n}\right)^2 [rep\ \delta(f - Rn) + rep\ \delta(f + Rn)] \right\} \tag{12}$$

위 식에서, 규준화된 주파수 f의 단위는 수신기 PLL의 입력에 나타나는 펄스간 시간 간격의 역수인 f_{nx}/M_q 또는 $f_{nx}/(M_q+1)$이며 근사적으로 f_{nx}/M이 된다. 위 지터는 수신 단말기에 있는 평활 PLL에 의해 필터링 되는데, 필터링된 지터의 전력 스펙트럼 $S_d(f)$는 원래 스펙트럼에 PLL의 지터 전달함수 $H(f)$의 크기의 제곱을 곱하면 구할 수 있다.

$$S_d(f) = |H(f)|^2 S_s(f) \tag{13}$$

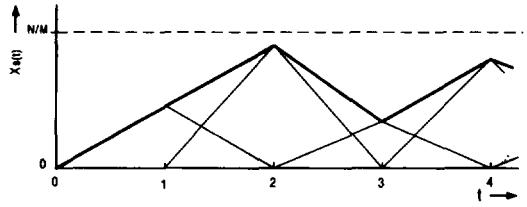
이 후에 이 스펙트럼을 모두 합하면 필터링된 지터의 실효값 또는 rms값(root mean square value) $X_{rms}(R)$이 구해진다.

$$X^2_{rms}(R) = \int_{-\infty}^{\infty} S_d(f)\ df \tag{14}$$

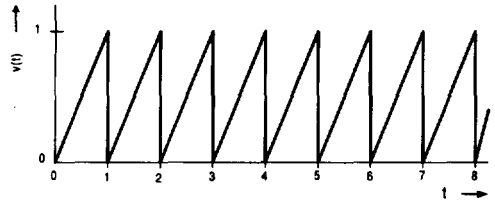
평활 PLL로는 보통 2차(second order) PLL이 사용

된다. 댐핑 계수를 ξ, 공진 주파수를 f_n이라고 하며, 댐핑 계수의 크기를 1로 할 때 PLL의 전달 함수는 다음과 같다[10].

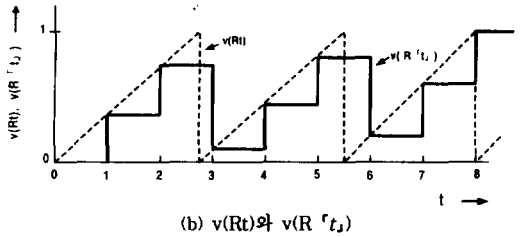
$$H(f) = \frac{1 + j2\xi\frac{f}{f_n}}{1 + j2\xi\frac{f}{f_n} - (\frac{f}{f_n})^2} = \frac{1 + j2\frac{f}{f_n}}{(1 + j\frac{f}{f_n})^2} \quad (15)$$



(그림 3) SRTS 지터 파형 및 여러개의 삼각 파형들의 합으로서의 분석



(a) v(t)



(b) v(Rt)와 v(R $'t_3$)

(그림 4) 여러 가지 함수들의 파형

5. 실제 시스템에 대한 지터의 계산

소스 클럭은 그 주파수가 T1 1.544MHz, E1 2.048MHz, T3 44.736MHz 그리고 E4 139.264MHz의 신호들이 존재하며, 모두 ±200ppm의 주파수 편차가 허용된다[8]. 이때 공급되는 f_{nx}는 ±4.6ppm의 주파수 편차가 허용되므로 수식 (1)에 의한 M값은 N=3008일 때 <표 1>과 같은 범위의 값을 가지게 된다. 따라서 나머지값 R은 모든 경우, 0.0 보다 크고 1.0 보다 작은 모든 소수값을 가질 수 있다. 수신 단말기에 있는 PLL의 3dB 대역폭 f_{3dB}은 <표 1>과 같이, 20~300Hz로 각각 선정하였다. 식 (15)의 PLL 전달 함수에 f_n값을 주어야 하는데, f_n은 아래 관계식에 f_{3dB}값을 대입하여 구할 수 있다[10].

$$f_{3dB} = f_n\sqrt{2\xi^2+1+\sqrt{(2\xi^2+1)^2+1}} \quad (16)$$

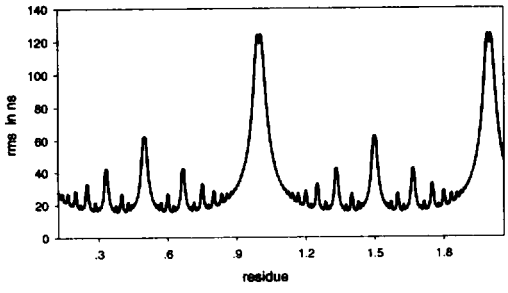
그러면 최종적으로 수신 단말기의 출력에 나타나는 필터링된 지터의 rms값을 식 (12)~(16)에 <표 1>에 주어진 시스템 파라메터를 대입하여 계산할 수 있다. T1 신호의 경우 M값은 4733.1249~4735.0621 사이의 값을 가진다. 그러므로 나머지 값(residue)은 4733을 기준으로 할 때 0.1249~2.0621 사이의 값을 가질 수 있다. 이와 같이 나머지 값을 허용 범위 내에서 가변시킬 때 발생되는 지터의 rms값이 계산되었으며, T1과 T3 신호에 대해 (그림 5(a), (b))에 도시되었다.

계산 결과, 모든 허용 나머지 값에 대한 평균적인 rms값은 T1인 경우 32.63ns, E1의 경우 25.31ns, T3 경우 0.32ns, E4 경우 0.15ns이다. 이와 같이 소스 신호의 주파수가 높을 수록 발생되는 지터의 크기는 작아진다. 모든 종류의 신호에 대하여 ITU-T에서 N=3008로 같은 분주비를 권고하고 있다. 그러므로 규격화된 주파수 f는 T3가 T1인 경우 보다 높다. 그러나

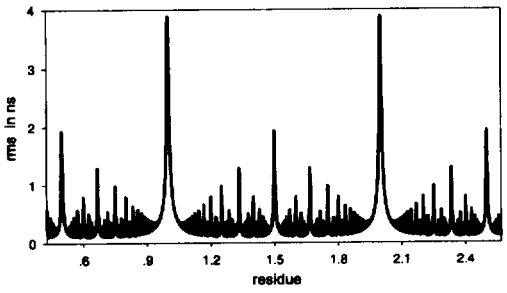
〈표 1〉 각 소스 신호의 종류에 따른 SRTS 시스템 파라메터

소스 신호	T1	E1	T3	E4
신호 fs (MHz)	1.544±200ppm	2.048±200ppm	44.736±200ppm	139.264±200ppm
동기클럭 (MHz)	2.43±4.6ppm	2.43±4.6ppm	77.76±4.6ppm	155.52±4.6ppm
최소 M값 Mmin	4733.1249	3568.3324	5227.4283	3358.4305
정격 M값 Mnor	4734.0933	3569.0625	5228.4979	3359.1176
최대 M값 Mmax	4735.0621	3569.7929	5229.5678	3359.8059
PLL f3dB (Hz)	20	20	100	300

T1 1.544MHz 신호에 대한 PLL 3dB 대역폭은 20Hz로 E4의 300Hz 보다 상대적으로 매우 넓기 때문에 지터가 충분히 감소되지 못하기 때문이다. 따라서 지터의 크기를 작게 하기 위하여 T1의 경우에 N값을 3008보다 작게 선정할 것이 요구된다. 그러므로 N값을 변경했을 때 발생되는 허용 나머지 값에 대한 평균적인 지터의 rms값이 계산되어 <표 2>에 주어졌다.



(a) T1



(b) T3

(그림 5) N값이 3008인 SRTS 시스템에서 발생하는 필터링된 지터의 나머지값에 따른 실효치

〈표 2〉 분주비 N값의 변화에 따라 다르게 발생되는 지터의 모든 허용 나머지값에 대한 평균적 실효치

(단위 : ns)

N / 신호	752	1128	1504	1880	2256	2632	3008	3760
T1 1.544	10.14	19.36	21.46	26.24	27.42	31.89	32.63	36.23
E1 2.048	7.42	11.05	12.84	20.97	21.68	24.24	25.31	32.78

N / 신호	2256	3008	3760	4512	5264	6016	6768	7520
T3 44.736	0.28	0.32	0.35	0.42	0.47	0.54	0.57	0.59
E3 139.264	0.13	0.15	0.17	0.21	0.22	0.26	0.27	0.28

6. 결 론

ATM 단말기에서 원래의 소스 클럭과 같은 주파수를 가지는 클럭의 복원에 관하여 연구하였다. 이를 위하여 SRTS 방식과 이 방식에서 발생되는 지터를 분석하였다. 먼저 지금까지 제시되어온 SRTS 클럭 복원 회로를 분석하여, 이 방식에서 발생되는 지터의 파형을 구하고 종래의 스타핑 지터와의 상이점을 논하였다. 이러한 지터 파형을 수식으로 표현하여 그 전력 스펙트럼과 rms값을 계산하였다.

분석 결과, 실제 시스템에서 발생되는 지터의 평균적인 rms값은 T1 1.544MHz 신호의 경우 32.63ns로 크고, E4 139.264MHz 신호의 경우 0.15ns로 작다. 이것은 모든 종류의 신호에 대하여 ITU-T에서 분주비 N값을 3008로 일정하게 제정하였기 때문이다. 따라서, N값을 변화시켰을때, 이에 따라 다르게 발생되는 지터의 평균적 rms값을 계산하였다. N값을 작게 할수록 발생되는 지터의 크기는 작아지나, 수신측으로 전송해야 할 오버헤드 데이타양이 상대적으로 증가하는 단점이 있다. 그러므로 N값의 조정과 더불어 다른 개선된 SRTS 제어 방식에 대한 연구가 계속 이루어져야 할 것이다.

참 고 문 헌

[1] CCITT revised Recommendation G.707, G708 and G709, 1992.

[2] R.P. Singh, S.H. Lee and C.K. Kim, "Jitter and Clock Recovery for Periodic Traffic in Broadband Packet Networks," Globecomm, 1988.

[3] H.M. Ahmed, "Adaptive Terminal Synchronization in a Packet Data Networks," Globecomm, 1989.

[4] R.C. Lau, "Synchronous Frequency Encoding Techniques for Circuit Emulation," SPIE Conf. on Visual Proc. and Image Commun, pp.160-171, Sept. 1989.

[5] CCITT SG XVIII US Contribution, "Synchronous Residual Time Stamp : A Combination of SFET/TS," Dec. 1991.

[6] R.C Lau and P.E. Fleischer, "Synchronous Techniques for Timing Recovery in BISDN,"

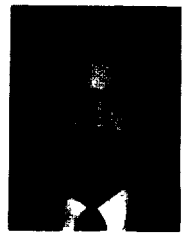
IEEE Trans. Commun., Vol.43, No.2/3/4, pp.1810-1818, Feb./Mar./Apr. 1995.

[7] K. Murakami, "Jitter in Synchronous Residual Time Stamp," IEEE Trans. Commun., Vol.44, No.6, pp.742-748, June 1996.

[8] ITU-T Draft Recommendation I.363.1, "B-ISDN ATM Adaption Layer(AAL) Specification, Types 1 and 2," July 1995.

[9] D.L. Duttweiler, "Waiting Time Jitter," Bell Syst. Tech. J., Vol.51, pp.165-207, Jan. 1972.

[10] F.M. Gardner, "Phaselock Techniques," New York, Wiley, 1979.



최 승 국

e-mail : skchoi@lion.inchon.ac.kr

1974년 연세대학교 전자공학과(공학사)

1981년 연세대학교 대학원 전자공학과(공학석사)

1988년 독일 Braunschweig 대학교 전자공학과(공학박사)

1978년~1981년 한국전자통신연구소 연구원

1989년~현재 인천대학교 정보통신공학과 교수

관심분야 : 디지탈 통신시스템, 동기(synchronization)