

테스트 용이도를 이용한 전력소모 예측

이 재 훈[†] · 민 형 복^{††}

요 약

휴대용 시스템과 고밀도 IC의 증가로 VLSI 회로에서 전력소모는 설계 과정 중 매우 중요한 요소가 되고 있다. 전력소모 예측은 전력소모를 예측하기 위해 요구된다. 전력 소모 예측은 시뮬레이션 방법을 사용하면 정확하나 시간이 많이 소모되어 효율적이지 못하다. 이러한 문제점을 해결하기 위해 확률적인 방법이 제안되었다. 확률을 이용한 친이 밀도는 BDD와 부울리안 미분법을 사용하여 전력소모를 예측한다. 그러나 BDD를 구성하는데 시간이 많이 걸리고 부울리안 미분법은 매우 복잡한 계산을 해야하는 단점을 가지고 있다. 본 논문에서는 회로를 유한 그래프로 구성하고 수정된 COP 알고리즘을 사용하여 쉽고 빠르게 확률을 이용하여 친이 밀도를 구할 수 있는 propowest를 제안한다. Propowest는 전력소모 예측을 위한 효율적인 방법을 제시한다.

Power Estimation by Using Testability

Jae-Hoon Lee[†] · Hyoung-Bok Min^{††}

With the increase of portable system and high-density IC, power consumption of VLSI circuits is very important factor in design process. Power estimation is required in order to estimate the power consumption. A simple and correct solution of power estimation is to use circuit simulation. But it is very time consuming and inefficient way. Probabilistic method has been proposed to overcome this problem. Transition density using probability was an efficient method to estimate power consumption using BDD and Boolean difference. But it is difficult to build the BDD and compute complex Boolean difference. In this paper, we proposed Propowest. Propowest is building a digraph of circuit, and easy and fast in computing transition density by using modified COP algorithm. Propowest provides an efficient way for power estimation.

1. 서 론

디지털 시스템의 성능 측정은 동작 속도나 적은 면적으로 평가되었다. 그러나 요즘에는 이동 시스템(mobile computing and communications)의 등장으로 전력소모가 중요한 항목으로 취급되고 있다. 시스템의 장시간 사용을 위해서는 적은 전력 소모가 요구된다. 이러한 목적을 달성하기 위해서는 여러 분야에서의 해결책이 필요하다. 고성능의 칩들은 많은 전력을 소모하

는데 개발된 칩들의 전력 소모를 살펴보면 모토로라(Motorola)의 PowerPC는 8.5와트(Watts), 인텔의 펜티엄(Pentium)은 16와트 그리고 DEC의 알파(alpha) 칩은 30와트의 전력을 소모한다.[1] 그러나 설계를 마치고 칩으로 제조된 후에 전력 소모가 크다고 판정을 내리면 다시 설계하고 검사하는데 많은 비용이 소모된다. 따라서 설계 단계에서 전력소모의 정확한 예측(power estimation)은 저전력 칩을 구현하고 또한 비용을 절감하는데 중요한 요소가 되고 있다.

디지털 회로의 전력소모는 동적 전력(dynamic power)과 정적 전력(static power)으로 나뉠 수 있으며, 대부분의 전력 소모는 동적 전력으로 소모된다. 동적 전력을 회로 측면에서 살펴보면 각 게이트의 출력 캐

* 본 연구는 1998년도 한국과학재단 연구비 지원에 의한 결과임. (과제번호 : 96-0102-16-01-3)

† 정 회원 : 여주대학 전자과 교수

†† 정 회원 : 성균관대학교 전기공학과 교수

논문접수 : 1998년 7월 9일, 심사완료 : 1998년 11월 4일

패시턴스(output capacitance)의 충전 및 방전으로 전력을 소모하게 되는 것이다. 이것은 각 게이트의 동작 활성도(activity)로 나타낼 수 있다. 따라서 정확한 전력 소모의 예측은 회로내 각 게이트의 동작 활성도를 구하고 이에 따른 전력 소모를 계산하여 구한다. 그러나 이러한 동작 활성도를 얻기 위해서는 회로를 시뮬레이션(simulation)해야하는데 이를 위해서는 많은 시간이 소모되므로 설계기간 단축에 큰 부담이 되고 있는 실정이다. 따라서 시간 소모가 적고 비교적 정확한 전력 소모 예측 방법이 요구되었다.

전력 소모 예측을 위한 방법으로는 시뮬레이션을 이용한 방법과 확률(probability)을 이용한 방법 그리고 통계적인 방법(statistical method) 등이 사용되고 있다. 그중 많이 사용되는 방법이 빠른 속도를 제공하는 확률을 이용한 방법이다. 이 방법 중에서 Najm[2]이 제안한 천이 밀도(transition density)를 이용한 방법이 대표적이다. 이 경우 대부분의 방법들이 BDD(Binary Decision Diagram)를 이용하여 전력 소모 예측을 시도하고 있으나 이 방법은 구조가 효율적이기는 하지만 BDD를 구성하기 위한 시간이 많이 소모되는 단점을 가지고 있다. 따라서 본 논문에서는 회로의 내부 자료구조(internal data structure)를 그대로 이용하고 테스트 알고리즘에 사용되는 테스트 용이성(testability)을 이용하여 빠른 시간 안에 천이 밀도를 구하여 전력소모 예측을 하고자 한다. 이 방법은 회로 구조를 그대로 이용하기 때문에 BDD를 구성하는데 별도의 시간이 필요치 않으며, 이를 바탕으로 빠른 테스트 용이성 기술인 COP[3]을 적용하여 정확한 결과를 보일 수 있었다. 본 논문의 구성은 2장에서는 전력 소모와 일반적인 전력 소모 예측 방법에 대하여 기술하였고 3장에서는 Najm이 제안한 천이 밀도(transition density)를 이용한 전력 소모 예측 방법을 설명하였다. 4장에서는 Najm이 제안한 방법의 문제점을 나타내었고 이를 보완한 방법 즉 본 논문에서 제안하는 propowest에 대하여 설명하였으며, Benchmark 회로를 기준으로 결과를 나타내었다.

2. 전력 소모와 전력 소모 예측 방법

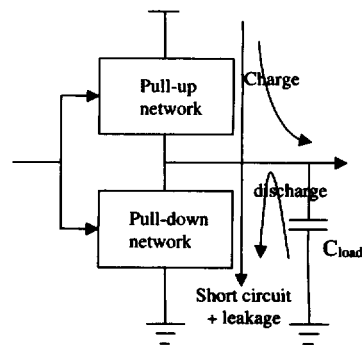
디지털회로의 전력 소모의 구성을 살펴보면 (그림 1)과 같이 동적 전력(dynamic power), 정적누설 전력(static leakage power)과 단락회로 전력(short circuit

power)의 세 요소로 구분된다.[4]

$$Power = dynamic\ power + static\ leakage\ power + short\ circuit\ power$$

$$Power = \alpha f C V_{dd}^2 + I_{lk} V_{dd} + Q_{sc} f V_{dd} \quad (1)$$

식 1에서 α 는 동작 활성도(activity), f 는 주파수, C 는 캐패시턴스, V_{dd} 는 공급전압, I_{lk} 는 누설전류, Q_{sc} 는 스위칭 도중의 단락전류 전하를 각각 나타낸다. 이중 전력 소모의 대부분을 나타내는 것이 동적 전력이다. 저전력 회로를 위해서는 식 1에 나타난바와 같이 공급 전압이 제곱의 형태이므로 공급 전압을 낮추는 것이 저전력을 위해서는 가장 중요한 요소이다. 그러나 이것은 회로 속도의 저하를 가져오므로 무조건 공급 전압만을 낮추는 것이 좋은 방법만은 아니다. 따라서 공급전압을 낮추기 위해서는 기술(technology)의 발전이 함께 이루어져야한다. 회로 설계를 위해서 공급 전압과 주파수가 설계 사양(design specification)으로 결정된다고 할 때 설계자가 조절 할 수 있는 요소는 동작 활성도와 캐패시턴스가 된다. 동작 활성도는 디지털 회로에서 대부분의 전력 소모가 0에서 1, 1에서 0으로 천이 할 때 출력 캐패시턴스를 충, 방전할 때 전력을 소모하게 되므로 동작 활성도를 안다는 것은 정확한 전력 소모 예측을 위해 필수적이다. 따라서 대부분의 전력 소모 예측 방법들은 이러한 동작 활성도를 계산하기 위한 기술이다.



(그림 1) 디지털 회로의 전력 소모 (Fig. 1) Power dissipation in digital circuits

전력 소모를 예측하는 방법으로는 시뮬레이션 방법과 확률적 예측 그리고 통계적 예측 방법이 있다. 시뮬레이션 방법은 실제로 시뮬레이션 방법을 통해서 각

내부 노드의 천이(transition)를 조사하여 전체 전력 소모를 계산하는 방법이며, 이 방법의 장점으로서는 정확하다는 것과 회로 설계 형태에 무관하며 단일 클럭이나 다중 클럭을 사용하는 경우에도 적용할 수 있다는 것이다. 단점은 기능 검사와 더불어 타이밍 검사까지 해야하므로 매우 시간이 많이 걸리며, 메모리 소모가 크다. 또한 시뮬레이션을 위한 입력 패턴에 영향을 많이 받게되며, 정확한 전력 소모 예측을 위한 최적(optimal)의 입력 패턴(compact stimulus vector) 생성이 어렵다는 것이다. 따라서 전력 소모 예측을 위해서 정확하기는 하나 비용이 많이 들게된다. 요즘 설계되는 회로들이 대부분 수십만 게이트에서 수백만 게이트 정도로 직접 시뮬레이션을 한다는 것은 엄청난 시간이 필요하게 되므로 전력소모 예측이라는 관점에서는 그리 좋은 방법이라 할 수 없다.

요즘은 설계기간을 단축하는 것이 회로 설계 시 중요한 항목으로 등장하고 있고 이것은 적절한 시기에 제품을 내놓기 위해서는 더욱 요구되는 항목이다. 따라서 이러한 단점을 극복하기 위한 방법들이 제시되었는데 이것이 시뮬레이션 방법보다는 정확하지는 않지만 빠른 시간 안에 비교적 정확한 결과를 얻을 수 있는 확률을 이용한 방법이다. 이 방법은 회로의 어떤 내부 노드가 1이 될 확률인 신호확률(signal probability)을 구하고 이것을 바탕으로 천이확률(transition probability)[5]을 구한다. 천이 확률은 다음과 같이 나타낼 수 있다.

$$P_i(x) = 2P_s(x)P_s(\bar{x}) = 2P_s(x)[1 - P_s(x)] \quad (2)$$

여기서 $P_s(x)$ 는 신호 확률을 나타내고 $P_i(x)$ 는 천이 확률을 나타낸다.

확률적 예측은 천이 확률을 구한 후 이 확률 값을 기본으로 전체 회로의 전력 소모를 예측하는 방법이다. 회로의 주파수가 f 이고 평균 캐패시턴스가 C 이고 공급전압이 V_{dd} 라 할 때 평균 전력은 CV_{dd}^2f 이다. 지연이 없는 경우(zero delay model)에 모든 노드의 동작 활성도와 캐패시턴스를 알고있다면 각각의 노드 활성도와 출력 캐패시턴스를 곱하여 모두 더해주면 결국 평균 소모 전력을 구할 수 있다. 이것을 식 3에 나타내었다.

$$P_{av} = \frac{1}{2T_c} V_{dd}^2 \sum_{i=0}^n C_i \alpha_i = \frac{1}{2} f V_{dd}^2 \sum_{i=0}^n C_i \alpha_i \quad (3)$$

여기서 $T_c(f)$ 는 클럭 주기(주파수), n 은 회로의 전체 노드 수를 의미하며, C_i 는 임의의 노드 i 의 캐패시턴스, α_i 는 임의의 노드의 동작 활성도이다. 이 방법의 장점은 빠르고 비교적 정확한 전력 소모를 예측할 수 있는 것이며, 단점으로는 입력간의 상관관계(correlation)를 고려하지 못한다는 점과 경우에 따라서는 결과 값이 신뢰할 수 없는 경우도 있다는 점이다. 이것은 회로 구조에 기인한데 회로의 재수렴 구간(reconvergent fanout)이 많은 회로에서는 확률 값이 발산하는 형태가 되어 많은 오차를 포함하게 된다.[6]

확률적 예측의 단점을 보완하고 정확한 예측을 위해서 어느 정도의 시뮬레이션을 통해 노드의 동작 활성도를 얻고 이 데이터를 바탕으로 통계적으로 전력 소모를 예측하는 방법인 Monte Carlo 시뮬레이션[7]이 시도되고 있다. 이 방법은 회로의 입력에 무작위 입력 벡터(random input vector)를 인가하여 시뮬레이션을 한 후 임의의 T 클럭 구간동안에 전력 소모를 관측(monitors)한다. 그러나 이 경우 너무 적은 데이터인 경우는 확률적인 방법보다도 신뢰도가 낮고 너무 많은 데이터인 경우는 시뮬레이션 방법의 문제점을 안고 있어 적절한 통계치의 양을 결정(stopping criterion)하는 것이 중요한 요소가 된다. [7]에 따르면 요구되는 표본의 크기는 다음과 같이 결정된다.

$$N = \left(\frac{t_g \sigma}{\epsilon \eta} \right)^2 \quad (4)$$

여기서 ϵ 은 요구되는 백분율 에러(desired percent error), α 는 신뢰도(confidence level), η 는 평균값(sample mean), σ 는 표준편차를 나타낸다.

3. 천이 밀도(Transition Density)

평균 전력소모를 식 3을 이용하여 구해보면 식 5 [2]와 같다. 즉 시간을 무한히 크게 하여 회로에 소모되는 평균 전력을 구하는 것인데 식 3과의 차이는 동작활성도가 임의의 구간에서의 평균 천이수로 바뀐 것이다.

$$P_{av} = \lim_{T \rightarrow \infty} \frac{CV_{dd} \frac{n_x(T)}{T}}{T} = \frac{1}{2} CV_{dd}^2 \lim_{T \rightarrow \infty} \left\{ \frac{n_x(T)}{T} \right\} \quad (5)$$

$$\text{Transition density } D(x) = \lim_{T \rightarrow \infty} \left\{ \frac{n_x(T)}{T} \right\}$$

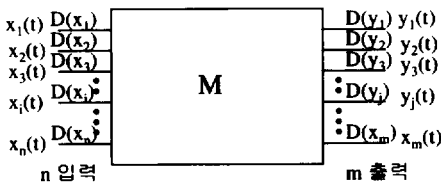
여기서 $n_x(T)$ 는 임의의 구간동안 $(-T/2, +T/2]$ 신호 $x(t)$ 의 천이 수를 나타낸다. 천이 밀도는 평균 천이 발생 비율을 나타낸다.

논리 신호를 확률적 모델로 정의하면 먼저 디지털 회로는 0과 1만을 사용하여 통계적 특성이 시간에 따라 변화되는 0-1 확률과정(stochastic 0-1 process)이다. 또한 이 확률과정은 확률적 특성(평균, 분산 등)이 시간이 진행되어도 변하지 않는 특성을 가지므로 strict-sense stationary(SSS)이다. 이 정의에 따라서 평균이 시간에 관계없이 일정한 값이 된다. 이 일정 평균 과정(constant-mean process)이 유한 분산(finite variance)을 가지고 인접한 값 사이에 상호관계(correlation)가 없으면 mean-ergodic이다. 따라서 디지털 회로의 논리 신호는 SSS이고 mean-ergodic한 0-1 확률과정이다.[2, 8] 이 정의에 따라서 논리 신호가 어떤 주어진 시간 t 에 대하여 논리 1을 갖는 확률은 시간에 독립적으로 일정하다. 이것을 동가 확률(equilibrium probability)라하며 식 6과 같이 나타낸다.

$$P(x) = \lim_{T \rightarrow \infty} \frac{1}{T} \int_{-T/2}^{T/2} x(t) dt \quad (6)$$

$n_x(T)$ 는 임의의 구간 $(-T/2, +T/2)$ 에서의 천이 수이고 $x(t)$ 가 SSS이므로 기대값 $E[n_x(T)]$ 는 T 에 관계없이 일정하다. 따라서 $E[n_x(T)] = kT$ 로 나타낼 수 있다. 여기서 다음 식은 단위시간당 기대되는 천이 수를 나타낸다. 결국 이것이 천이 밀도가 된다.

$$\frac{E[n_x(T)]}{T} = D(x) \quad (7)$$



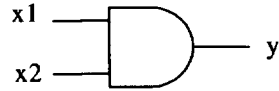
(그림 2) 모듈 M
(Fig. 2) Module M

(그림 2)와 같이 만일 지연이 없고 입력이 n 개($i=1, 2, \dots, n$)인 모듈에서 각각의 입력에 대한 천이 밀도가 $D(x_i)$ 일 때 출력 y 의 천이밀도는 부울리안 미분법

(boolean difference)을 사용하여 출력으로 전파(propagation)시킨다. 이것을 나타내면 다음 식 8과 같다.

$$D(y) = \sum_{i=1}^n P\left(\frac{\partial y}{\partial x_i}\right) D(x_i) \quad (8)$$

식 8은 천이 밀도와 전파를 각 모듈에 대해 시뮬레이션 하는 것으로 생각할 수 있다. 이 알고리즘을 이용하여 회로의 각 모듈을 시뮬레이션 할 수 있는데 주 입력단에서 시작하여 회로내의 각 노드의 천이 밀도와 신호확률을 구한다. [2]에서는 이러한 과정을 수행하는데 BDD를 먼저 구성하고 부울식으로 표시된 회로에 대하여 신호확률과 천이밀도를 구하게 된다. 예로 (그림 3)에 2 입력 AND 게이트를 나타내었다.



(그림 3) 2 입력 AND 게이트
(Fig. 3) Two input AND gate

2 입력 AND 게이트의 천이밀도를 구하는 과정은 다음과 같다.

$$D(y) = \sum_{i=1}^2 P\left(\frac{\partial y}{\partial x_i}\right) D(x_i) \quad (9)$$

$$\begin{aligned} P\left(\frac{\partial y}{\partial x_1}\right) &= P(x_1 \cdot x_2 |_{x_1=0} \oplus x_1 \cdot x_2 |_{x_1=1}) \\ &= P(0 \oplus x_2) = P(x_2) \end{aligned} \quad (9a)$$

$$\begin{aligned} P\left(\frac{\partial y}{\partial x_2}\right) &= P(x_1 \cdot x_2 |_{x_2=0} \oplus x_1 \cdot x_2 |_{x_2=1}) \\ &= P(x_1 \oplus 0) = P(x_1) \end{aligned} \quad (9b)$$

$$\therefore D(y) = P(x_2)D(x_1) + P(x_1)D(x_2) \quad (10)$$

그러므로 2 입력 AND 게이트에 대한 천이밀도는 식 10 처럼 표현이 된다. 이와 같은 과정으로 각 게이트에 대한 천이밀도를 구할 수 있다.

4. Propowest

BDD를 이용하여 천이 밀도를 구하는 경우에 회로가 작은 경우는 쉽겠지만 회로 크기가 커지면 커질수록 BDD 자체를 구성하는 일이 더 어려운 일이 된다.[9] 또한 식 8과 같이 부울리안 미분법을 이용하여

전파시키는 것은 많은 계산을 요구하게된다. 따라서 회로 구조를 그대로 이용하는 방법을 사용하면 BDD 구성을 하지 않고 쉽게 구현이 가능하다. 또한 식 8에서 나타낸 것을 살펴보면 $D(x_i)$ 는 테스트 용이도에서 정의되는 조절 용이도(controllability)를 이용해 구할 수 있으며, 전파를 나타내는 $F(\frac{\partial y_i}{\partial x_i})$ 는 결국 관측 용이도(observability)를 나타내는 것이기 때문에 테스트 용이도 계산 알고리즘의 하나인 COP 알고리즘을 변형하여 계산한다면 빠른 시간 안에 적은 계산 양으로 천이밀도를 구할 수 있다. 여기서 조절 용이도란 임의의 노드를 주입력단에서 조절할 수 있는 정도를 나타내며, COP에서는 주입력단으로부터 확률적으로 계산되어 온 값을 말한다. 또한 관측 용이도는 임의의 노드가 주출력단에서 관측될 정도를 나타내는데 주출력단은 항상 관측이 가능하므로 관측 용이도는 1이 되며, 이 값을 기초로 주입력단 쪽으로 관측 용이도를 구하게 된다. COP 알고리즘에서는 각각의 신호선 들의 0과 1 조절 용이도를 확률을 이용하여 구한다. 주입력단들은 1-조절 용이도를 0.5로 동일하게 주어지고 주출력단의 관측 용이도는 1로 정의된다. 이때 구해지는 신호확률은 게이트(AND, OR, NAND, ...)에 따라 다른 식이 존재한다.

AND gate : $y = x_1 \cdot x_2$ (11a)

NAND gate : $y = 1 - x_1 \cdot x_2$ (11b)

OR gate : $y = 1 - (1 - x_1) \cdot (1 - x_2)$ (11c)

NOR gate : $y = (1 - x_1) \cdot (1 - x_2)$ (11d)

INVERTER : $y = 1 - x_1$ (11e)

각 게이트에 대한 관측 용이도는 다음 식으로 구할 수 있다.

AND or NAND gate : $obs(x_1) = x_2 \cdot obs(y)$ (12a)

OR or NOR gate : $obs(x_1) = (1 - x_2) \cdot obs(y)$ (12b)

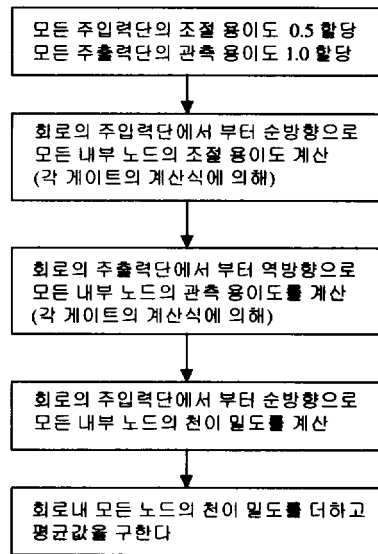
INVERTER : $obs(y) = obs(x_1)$ (12c)

COP에서는 조절 용이도와 관측 용이도를 이용하여 고착 고장(stuck-fault)의 검출 용이도를 계산하게된다. 따라서 본 논문에서는 천이 밀도를 구하기 위해서 조

절 용이도와 관측 용이도만을 이용하여 회로내 각 내부 노드의 천이 밀도를 구한다. 이때 천이 밀도는 각 게이트에 따라 다른 식을 적용한다. 만일 2 입력 AND 게이트인 경우는 입력 $x_1(x_2)$ 의 조절 용이도가 $p(x_1)(p(x_2))$ 이고, 이에 대한 관측 용이도가 식 12a 인 $obs(x_1)=p(x_2)obs(y)$ 이다. COP와는 달리 모든 관측 용이도는 주출력단에서부터 계산해 오는 것이 아니라 각 게이트에 대한 관측 용이도를 구하는 것이므로 각 게이트의 출력은 모두 관측 용이도가 1이 된다. 따라서 $obs(x_1)=p(x_2)$ 가 되고, $obs(x_1)=p(x_1)$ 된다. 따라서 출력 y 의 천이 밀도는 입력의 천이밀도와 관측용이도를 곱하여 모두 더하면 얻을 수 있다. 따라서 식 13과 같이 된다.

$$D(y) = D(x_1) \cdot obs(x_1) + D(x_2) \cdot obs(x_2) = D(x_1) \cdot p(x_2) + D(x_2) \cdot p(x_1) \quad (13)$$

따라서 이것은 Najm 제안한 BDD를 이용하여 부울리안 미분법에서 구한 식 10과 같게된다. 이와 같은 방법으로 모든 게이트에 대해 똑같이 적용하여 모든 게이트의 출력 천이를 구하고 평균을 내어 천이밀도를 구할 수 있다. COP 알고리즘을 이용하여 천이밀도를 구하는 알고리즘 Propowest(PRObabilistic POWER ESTimation)는 (그림 4)와 같다.



(그림 4) Propowest 알고리즘 (Fig. 4) An algorithm of Propowest

Propowest는 C로 작성되었으며, ISCAS85 benchmark 회로를 입력으로 받아들여 중간 형태의 파일 형태로 변환한 후 Propowest의 내부 자료 구조로 구성한다. 이 저장된 내부 자료 구조를 이용하여 조절 용이도와 관측 용이도를 구하고 천이 밀도까지 구한다. Propowest의 결과를 <표 1>에 나타내었다.

<표 1> 결과
<Table 1> Results

| Circuit Name | Logic Simulation | | DENSIM | | Propowest | |
|--------------|------------------|----------|--------|----------|--------------|-------------|
| | 천이밀도 | CPU time | 천이밀도 | CPU time | 천이밀도 | CPU time |
| C432 | 3.39 | 62.80 | 3.46 | 0.52 | 3.46 | 0.05 |
| C499 | 8.57 | 241.10 | 11.36 | 0.58 | 11.36 | 0.05 |
| C880 | 3.25 | 131.70 | 2.78 | 1.06 | 2.78 | 0.10 |
| C1355 | 6.18 | 407.90 | 4.19 | 1.39 | 4.19 | 0.21 |
| C1908 | 5.01 | 463.90 | 2.97 | 2.00 | 2.97 | 0.39 |
| C2670 | 4.00 | 618.50 | 3.50 | 3.45 | 3.50 | 0.45 |
| C3540 | 4.49 | 1082.00 | 4.47 | 3.77 | 4.47 | 0.84 |
| C5315 | 4.79 | 1616.00 | 3.52 | 6.41 | 3.52 | 0.87 |
| C7552 | 5.08 | 2713.00 | 3.85 | 9.85 | 3.85 | 1.25 |

DENSIM : SUN SPARC STATION 1
Propowest : SUN SPARC STATION 20

<표 1>의 결과에서는 로직 시뮬레이션 결과, Najm이 제안한 DENSIM 결과[2]와 본 논문에서 제안한 Propowest의 결과를 나타내었다. 로직 시뮬레이션의 결과는 정확하기는 하나 표에 나타난 것과 같이 많은 시간이 소모됨을 볼 수 있다. Najm이 제안한 DENSIM의 결과는 BDD를 구성하는 시간을 제외한 실행시간만을 나타내었다. 즉, DENSIM을 위해서는 먼저 BDD를 구성하는 전처리 단계(preprocessing)가 있게 되는데 결과에는 전처리 단계의 시간은 제외된 것이다. 따라서 실제로는 시간이 많이 걸리기 때문에 DENSIM에서도 BDD 구성 시간 문제를 해결하고 BDD에서 처리하지 못하는 중간 노드의 정보를 얻기 위해 전 회로에 대한 BDD를 구성하지 않고 최저의 회로 분할(lowest level partitioning) 기법, 즉 모든 회로를 분리된 부울리안 모듈(a separate Boolean Module)로 BDD를 구성하였다. 전체 시간은 [2]에서의 BDD 구성 시간을 더해야 하므로 <표 1>에 나타난 시간보다는 실제로 많은 시간이 소요됨을 알 수 있다. 본 논문은 그래프

이론을 이용하여 회로를 유향 그래프(directed graph)로 구성하고 각각의 연결은 연결 리스트(linked list)로 나타내어 연결 정보를 나타내었다. 따라서 회로 구성을 따로 하지 않고 회로를 읽어들이며 내부 자료구조로 가지고 있기 때문에 별도의 시간이 소요되지 않으며 조절 용이도, 관측 용이도와 천이 밀도를 빠르고 쉽게 구할 수 있다.

Propowest의 결과는 <표 1>에 나타난 바와 같이 DENSIM의 결과와 일치함을 보였다. DENSIM과 Propowest의 실행시간은 사용기종이 달라 비교 대상이 되지 못하나 회로 처리의 전처리 과정이 필요치 않기 때문에 속도 면에서도 이점이 있다. Propowest는 비교적 정확하나 확률이 갖는 문제점을 가지고 있다. 즉 재수렴(reconvergent fanout)되는 부분에서는 오차를 가지게 되는데 이러한 재수렴 부분이 많은 회로인 경우는 많은 오차를 포함하게 된다. 이러한 단점에도 빠른 시간으로 비교적 정확한 결과를 얻을 수 있는 것이 큰 장점이다. 따라서 정확한 전력소모 예측을 위해서는 이러한 확률적인 방법을 이용하여 설계 초기 단계에서 전력소모 예측에 좋은 척도가 된다.

5. 결 론

본 논문에서는 디지털 회로의 전력소모 예측을 위한 방법인 Propowest를 제시하였다. Propowest는 확률을 이용하여 전력소모를 예측하며 기존 연구 방법에서 사용하고 있는 BDD를 구성하지 않고 복잡한 부울리안 미분법을 사용하지 않는 방법이다. 이 알고리즘의 특징은 회로를 내부 자료구조로 구성하여 처리할 수 있는 장점과 COP에서 제안된 방법을 이용하여 내부 노드의 천이 밀도를 조절 용이도와 관측 용이도를 이용하여 쉽고 빠르게 구할 수 있는 장점이 있다. 결과는 Najm이 제안한 DENSIM과 비교하였으며, 같은 천이 밀도를 구할 수 있었다. 이 방법은 게이트를 기능적 모델(functional model)로 확장하면 Behavioral level에서의 전력 소모 예측으로도 확장이 가능하리라 생각된다.

단점으로는 DENSIM이나 Propowest는 조합회로에 대한 전력소모 예측 방법으로 순차회로에 대한 전력소모 예측을 할 수 없다는 점이다. 또한 회로 구조에 따라 오차를 포함할 수 있기 때문에 이러한 오차를 어떻게 줄일 수 있는가하는 문제이다. 이러한 단점을 해결

하기 위한 방법으로는 Monte Carlo method와 같이 시뮬레이션을 수행하고 통계치를 이용하는 방법이 효과적일 것이다. 따라서 순차회로에 대한 테스트 용이도를 구하는 방법을 이용하여 각 내부 노드의 테스트 용이도를 얻고 위의 Propowest 알고리즘을 이용한다면 Monte Carlo method 보다는 효과적으로 순차회로에 대한 전력소모 예측이 가능할 것이다. 따라서 향후 연구 과제로 Propowest 방법을 순차회로에 대한 테스트 용이도 알고리즘과 연계하면 순차회로로 확장된 회로에 대한 전력소모를 쉽고 빠르게 정확하게 전력 소모 예측이 가능하리라 생각된다.

참 고 문 헌

[1] F. N. Najm, "Towards a High-Level Power Estimation Capability," IEEE International Symposium on Low Power Design, 1995.
 [2] F. N. Najm, "Transition Density : A New Measure of Activity in Digital Circuits," IEEE Trans. on CAD of Integrated Circuits and Systems, Vol.12, No.2, Feb., 1993.
 [3] Franc Brglez, "On Testability Analysis of Combinational Networks," Proceedings of Int. Symposium on Circuits and Systems, pp.221-225, 1984.
 [4] A. P. Chandrakasan and R. W. Brodersen, *Low Power Digital CMOS Design*, Kluwer Academic Publishers, 1995.
 [5] Qing Wu, Massoud Pedram, "A Note on the Relationship Between Signal Probability and Switching Activity," Proceeding of the ASP-DAC, pp.117-120, 1997.
 [6] Jan M. Rabaey, Massoud Pedram, *Low Power Design Methodologies*, Kluwer Academic Publishers, 1996.
 [7] R. Burch, F. N. Najm, P. Yang, and T. Trick, "A Monte Carlo approach for power estimation,"

IEEE Trans. on VLSI Systems, pp.63-71, March, 1993.

[8] A. Papoulis, *Probability, Random Variables, and Stochastic Processes*, 2nd Edition. New York : McGraw-Hill, 1984.
 [9] R. E. Bryant, "Graph-based algorithm for Boolean function manipulation," IEEE Trans. on Computer-Aided Design, Vol.6, pp.677-691, Aug., 1986.



이 재 훈

e-mail : jhlee@mail.yeojoo.ac.kr

1991년 성균관대학교 공과대학 전기공학과 졸업(공학사)

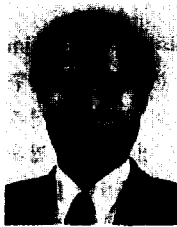
1993년 성균관대학교 공과대학 전기공학과 졸업(공학석사)

1993년~1995년 LG전자기술원 주임연구원

1996년~1998년 성균관대학교 전기공학과 박사수료

1999년 3월~현재 여주대학 전자과 전임강사

관심분야 : VLSI CAD/Testing, Low power design



민 형 복

e-mail : min@stella.skku.ac.kr

1980년 2월 서울대학교 공과대학 전자공학과(공학사)

1982년 2월 한국과학기술원 전기 및 전자공학과(공학석사)

1990년 12월 The University of Texas at Austin 전기 및 컴퓨터 공학과 공학박사

1982년 3월~1985년 4월 금성통신(주) 연구소 주임연구원

1985년 8월~1986년 7월 미국 Columbia 대학교 연구원

1991년 3월~현재 성균관대학교 전기공학과 부교수

관심분야 : VLSI Testing, CAD 시스템