

평판 플라즈마 표시장치의 휘도 개선을 위한 불규칙 어드레싱 구동방식

손 일 현†

요 약

본 논문에서는 평판 플라즈마 표시장치(PDP)의 휘도를 획기적으로 개선할 수 있는 방법으로서 불규칙 어드레싱 방식을 제안하고 있다. 종래의 계조 조정 방식에서 주사 전극의 선택이 한 가지 순열조합에 의해 순차적으로 일어나는 것에 반하여 불규칙 어드레싱에서는 화소의 발광시간을 90%이상으로 늘릴 수 있도록 비순차적으로 주사 전극을 선택한다. 이 방식은 PDP의 물리적 구조에 무관하며 구동 전압이나 전류 등을 바꾸지 않고도 구현이 가능한 장점을 가진다.

Irregular Addressing Scheme for Luminance Improvement of Flat Panel Plasma Display

Ilhun Son†

ABSTRACT

Irregular addressing scheme of gray scale control for the memory type flat panel plasma display is proposed in this paper. Opposed to the conventional addressing method, the scan electrodes are addressed in non-sequential manner. The addressing order for this irregular addressing is resolved to make the pixel duty factor above 90%. This addressing scheme can achieve the proposed performance regardless of the panel and cell structure and can be implemented without increasing the drive voltage, current or frequency.

1. 서 론

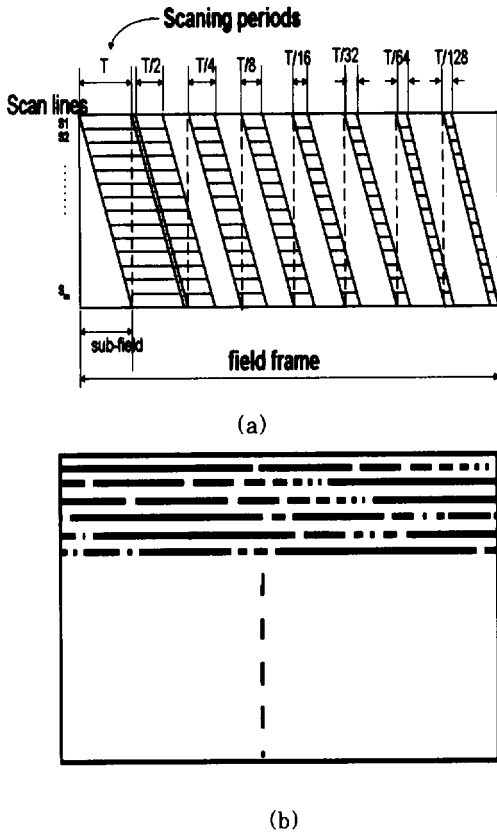
최근의 정보통신 기술의 발달로 인한 정보화 사회의 성숙은 정보전달의 멀티미디어 영상처리와 그의 최종 매체인 표시장치에 큰 비중을 두게 되었으며 다양한 기능과 형태의 표시장치에 대한 수요를 크게 증가시켰다. 지난 몇 년간 LCD를 위주하던 평판표시장치 기술은 PDP, FED, EL 등의 다양한 표시장치들의 등장으로

종래 표시장치시장을 주도하였던 CRT를 수년 이내에 증가할 것으로 예상된다. 이중 PDP는 LCD에 비하여 광시야각, 대형화면 제작의 용이성 등 기술적 장점을 갖추고 있어 화상회의용, 벽걸이TV 등으로 각광을 받고 있으나 CRT에 비하여 휘도가 상대적으로 낮은 점과 시간 변조방식에 의한 계조조정으로 인한 동화상에서의 가상 윤곽 등이 해결되어야 할 숙제로 남아있다 (1). 본 논문에서 소개하는 새로운 어드레싱 방법은 구동시스템의 설계가 그리 복잡하지 않으면서도 PDP의 휘도를 크게 향상시키며 화질면에서도 좋은 영향이 기대된다.

* 본 연구의 일부는 '96년도 통상산업부 차세대 평판표시장치 기반기술연구의 연구비 지원에 의하여 연구되었음.

† 비 회 원: 단국대학교 전자공학과

논문접수: 1998년 5월 19일. 심사완료: 1998년 6월 9일



(그림 1) 계조조정을 위한 주사선 선택의 타이밍 도표 (a)순차 어드레싱 (b)불규칙 어드레싱
 (Fig. 1) Timing diagram of gray scale expression in (a) conventional sequential addressing and (b) irregular addressing

PDP의 색조 표현에 필수적인 계조 조정은 가스 방전의 메모리 기능을 이용하여 각 화소의 발광시간을 조절함으로써 이루어진다. 그림 1에 나타낸 바와 같이 종래의 서브필드 어드레싱 방식에서는 주사 전극의 순차적인 선택에 의해 계조 조정이 이루어 졌으며 고화질 표시장치에서 일반적인 256레벨 계조 조정의 경우 화소의 발광시간은 25%에 불과하다[2,3]. 반면 그림 1(b)에 보여준 불규칙 어드레싱 방식은 화소의 발광시간을 100%에 가깝게 유지되도록 함으로써 PDP의 신뢰성과 구동회로의 복잡성에 영향을 주는 순간 최고 전류나 펄스의 주파수 등을 높이지 않고도 휘도를 획기적으로 향상시킬 수 있다.

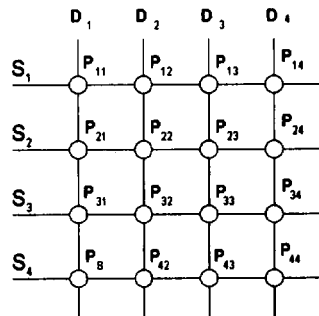
2. 불규칙 어드레싱 방식의 원리

PDP는 기본적으로 켜짐과 꺼짐의 두 가지 상태를 가지는 가스 방전셀들이 행렬구조를 이룬 것이다. "켜짐"상태는 AC-PDP에서는 벽면 전하의 형성에 의해 구별되며 DC-PDP의 경우 선도 방전의 유무에 의한 방전 전압의 변화에 의하여 정의 될 수 있다. PDP에서는 각 화소의 상태변화를 일으켜 영상표현을 하기 위하여 기입, 소거, 유지방전의 세 가지 동작 모드를 가진다.

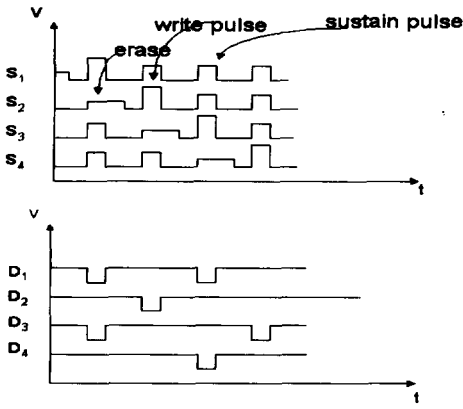
그림 2에서는 그러한 예로서 4X4 DC-PDP와 그를 구동하기 위하여 주사 및 데이터 전극에 가하여진 전압 파형을 보여주고 있다. 그림 2에서 보여준 예는 단지 개념적인 것으로서 실제로 세 가지 동작모드에 대한 전압 파형은 PDP의 구조와 전기-광학적 특성에 의해 결정되어야 할 것이다[4,5].

불규칙 어드레싱 방법을 결정하기 전에 PDP의 구동에서는 일반적으로 다음의 4 가지 가정이 가능하다.

- 첫째. PDP구동은 주사 및 데이터 전극에 펄스를 가함으로써 실현되며 각 펄스 주기마다 기입, 소거, 유지방전중 한 가지 동작모드를 가진다.
- 둘째. 한 펄스주기에서는 두 개 이상의 주사전극이 선택될 수 없다.
- 셋째. 데이터 전극에 가하여진 펄스는 그 펄스주기에 선택된 주사전극에 연결된 화소들만의 상태변화에 영향을 미친다.
- 넷째. 주사선의 선택은 화소의 상태를 "꺼짐"에서 "켜짐"으로 바꾸기 위한 기입동작으로서 그 전에 "켜짐"상태에 있던 화소들은 기입 동작 전에 "소거"동작을 거쳐야 한다.



(a)



(그림 2) (a) 4×4 셀 어레이의 구성도 (b) 주사전극 및 데이터전극 구동 전압 파형
 (Fig. 2) (a) schematic diagram of 4×4 cell array
 (b) voltage waveforms applied to scan and data electrodes

표 1에서는 위의 4가지 가정에 따라 종래의 어드레

싱 방식과 불규칙 방식을 적용하여 4개의 주사선을 가지는 PDP에 3-비트 계조조정을 한 경우 주사선의 동작순서를 보여주고 있다. 종래의 방식에서는 하나의 영상화면을 표현하기 위한 한 화면 시간(field frame)에서 필요로 하는 펄스 주기의 수 N_T 는 한 화면시간 내에 일어나야 하는 어드레싱 횟수 $N_S \times N_B$ 보다 커야만 하며 여기서 N_S 는 주사선의 수이고 N_B 는 계조조정의 비트 수이다. 가령 VGA에서와 같이 주사선의 수가 480인 경우에는 N_T 는 1440이 되고 그림 1에서 알 수 있듯이 각 주사선에 연결된 화소들은 이 중 7/12 시간 동안만 "켜짐"상태에 있을 수 있으며 이는 58%의 발광 시간을 의미한다. 계조 조정의 비트 수가 높아질수록 발광시간 비율은 낮아지게 되며 고화질 표시장치에서 일반적인 8-비트 계조조정의 경우에는 25%까지 낮아지게 되어 PDP의 휘도를 제약하는 큰 요인으로 작용하게 된다.

이와는 달리 불규칙 어드레싱에서는 표 1.2에 보인 바와 같이 4개의 주사선에 대한 기입동작이 17개의 펄스 주기 동안에 일어나며 기입동작 직전에 행해지는 소

<표 1.1> 4개의 주사선의 3-비트 계조조정을 위한 순차 어드레싱
 <Table 1.1> Sequential addressing for 3-bit gray scale control of 4 scan lines

Time Line	1	2	3	4	5	6	7	8	9	10	11	12			13
S1	W	-	-	-	E	W	-			E	W				E
S2	E	W	-	-	-	E	W	-			E	W			
S3		E	W	-	-	-	E	W	-			E	W		
S4			E	W	-	-	-	E	W	-			E	W	
DATA	S1 b2	S2 b2	S3 b2	S4 b2		S1 b1	S2 b1	S3 b1	S4 b1		S1 b0	S2 b0	S3 b0	S4 b0	

<표 1.2> 5개의 주사선의 3-비트 계조조정을 위한 불규칙 어드레싱
 <Table 1.2> Irregular addressing for 3-bit gray scale control of 5 scan lines

Time Line	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
S1	W	-	E	W	-	-	-	E	W	-	-	-	-	-	-	-	E
S2	E	W	-	E	W	-	-	-	E	W	-	-	-	-	-	-	-
S3	-	E	W	-	-	-	E	W	-	-	-	-	-	-	-	E	W
S4	-	-	-	-	E	W	-	-	-	E	W	-	E	W	-	-	-
S5	-	-	-	-	-	E	W	-	-	-	E	W	-	E	W	-	-
DATA	S1 b0	S2 b0	S3 b1	S1 b1	S2 b1	S4 b1	S5 b1	S3 b2	S1 b2	S2 b2	S4 b0	S5 b0		S4 b2	S5 b2		S3 b0

거동작이 일어나는 펄스주기를 제외하고는 모든 펄스주기에서 유지방전이 일어날 수 있다. 즉 화소의 발광시간 비율은 $14/17=82\%$ 가 된다. 이 경우 한 화면시간에 17개의 펄스주기를 두는 이유는 0부터 7까지의 8계조 레벨을 적절히 표현하기 위하여는 $2^{NB}-1$ 의 배수가 되어야 하며 3번의 기입동작에 따른 발광을 위한 유지방전 주기의 횡수와 소거 동작을 위한 펄스 주기를 더하여 한 화면시간을 이루게 되며 이수는 $N_S \times N_B$ 보다 커야만 한다. 따라서 4개의 주사선을 갖는 PDP에서 3-비트 계조조정을 하게 되면 전체 주기의 수는 17이 된다. 실제로 표 1.2에서는 한 화면 시간에 펄스 주기의 수를 더 늘리지 않고도 5개의 주사 선극에 대한 어드레싱 순서를 보여주고 있다. 그 이유는 17개의 펄스주기에는 최대 5개의 주사선이 3-비트 계조조정을 위한 어드레싱을 할 수 있기 때문이다.

또한 표 1에서는 주사 선극이 선택되어 기입 동작이 일어날 때마다 데이터 선극에는 화상 데이터에 해당하는 펄스 전압이 인가되는 것을 보여주고 있다. 가령 표 1.1의 순차 어드레싱에서는 모든 선극이 번갈아 MSB 데이터로부터 LSB까지 차례로 화상 데이터를 인가하지만 표 1.2의 불규칙 어드레싱에서는 5개의 주사선이 서로 다른 순서를 가지고 화상 데이터를 인가하게 됨을 알 수 있다.

* 실제 표시장치에서는 주사선의 수가 이보다 훨씬 많게 되며 이들 모든 주사선에 대한 불규칙 어드레싱 순서를 정하는 것은 매우 복잡한 일이다. 하지만 이러한 문제는 불규칙과 순차어드레싱을 결합한 교차혼합방식(Interleaving)으로 해결할 수 있다. 가령 VGA와 같

이 480주사선을 3-비트 계조조정으로 불규칙 어드레싱할 경우 표 1.2에 나타난 5가지 서로 다른 어드레싱 순서를 갖는 그룹이 5개 있다고 가정하여 각 그룹의 96개의 주사선극의 어드레싱에는 순차 어드레싱을 적용하면 된다. 즉, 표 1.2에서 하나의 펄스주기는 96개로 나뉘어 지고 각각에 해당되는 그룹에서 96개의 주사선이 순차적으로 선택되는 것이다. 중요한 것은 이처럼 똑같은 불규칙 어드레싱 방식을 높은 해상도를 갖는 PDP에 교차 혼합방식으로 적용한 경우에도 각 화소들의 발광시간 비율은 변하지 않는다는 것이다.

하지만 위의 예에서 이미 지적된 바와 같이 불규칙 어드레싱을 하는 주사선의 기본 그룹의 수(N_A)를 크게 하면 화소 발광시간은 증가하게 된다. 표 2에서는 똑같은 계조 조정의 불규칙 어드레싱을 5개의 기본그룹에서 8개의 주사선으로 늘린 경우에 발광시간 비율이 82%에서 88%로 증가하는 것을 보여 주고 있다. 표 2에 나타낸 불규칙 어드레싱이 표 1.2에 비하여 가지는 또 다른 잇점은 매 사이클 마다 빠짐없이 기입동작이 일어남으로써 한 화면시간 내의 펄스 주기 수(N_T)가 최소로 되어 회로의 타이밍 마진이 높아 지고 스위칭 전력 소모가 낮아진다는 것이다. 가령 표 1.2와 표 2의 불규칙 어드레싱을 VGA에 적용할 경우 N_T 는 각각 1632와 1440 이 된다.

불규칙 어드레싱에서 교차혼합 방식을 사용할 경우 똑같은 어드레싱 순서를 갖는 주사선들이 물리적으로 서로 이웃하여 배치될 필요는 없으며 도리어 그들이 N_A 개 만큼의 주사선마다 하나씩으로 떨어짐으로써 서브필드 분포의 시간적 불균일성이 불규칙 어드레싱되는

〈표 2〉 8개의 주사선의 3-비트 계조조정을 위한 불규칙 어드레싱
 〈Table 2〉 Irregular addressing for 3-bit gray scale control of 8 scan lines

Time Line	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	
S1	W	-	-	E	W	-	-	-	-	-	E	W	-	-	-	-	-	-	-	-	-	-	-	E	
S2	-	E	W	-	-	E	W	-	-	-	-	-	E	W	-	-	-	-	-	-	-	-	-	-	-
S3	-	-	-	-	-	-	-	-	-	-	-	E	W	-	-	E	W	-	-	-	-	-	-	E	W
S4	E	W	-	-	-	-	-	-	-	-	-	-	-	E	W	-	-	E	W	-	-	-	-	-	-
S5	-	-	-	-	-	-	-	E	W	-	-	-	-	-	E	W	-	-	E	W	-	-	-	-	-
S6	-	-	-	-	-	-	-	-	-	E	W	-	-	-	-	-	E	W	-	-	E	W	-	-	-
S7	-	-	E	W	-	-	E	W	-	-	-	-	-	-	-	-	-	-	-	E	W	-	-	-	-
S8	-	-	-	-	E	W	-	-	E	W	-	-	-	-	-	-	-	-	-	-	-	-	E	W	-
DATA	S1 b0	S4 b2	S2 b0	S7 b0	S1 b1	S8 b0	S2 b1	S7 b2	S5 b1	S8 b2	S6 b1	S1 b2	S3 b0	S2 b2	S4 b0	S5 b0	S3 b1	S6 b0	S4 b1	S5 b2	S7 b1	S6 b2	S8 b1	S3 b2	

주사선들 간에 흠어지게 되는 것과 유지방전 횟수가 크게 늘어나게 되므로 기입이나 소거동작등이 계조의 선형성에 미치는 나쁜 영향이 크게 줄어들게 되는 두가지 효과로 인해 불규칙 어드레싱이 화질 개선에도 좋은 영향을 줄 것이 기대된다. 마지막으로 표3은 보다 실제적인 예로써 VGA급 PDP에 6-비트 또는 그보다 높은 계조 조절을 할 경우의 불규칙 어드레싱 기본그룹의 주사선 수와 펄스 주파수 및 발광시간 비율을 보여주고 있다. 가령 똑같은 6-비트 계조조정의 경우에도 불규칙 어드레싱 기본그룹의 수를 10으로 하는 경우에 비하여 20으로 하는 경우에는 발광시간비율은 4%정도 개선되면서 펄스주파수는 도리어 5%가량 낮아지게 된다. 또한 8-비트 계조의 경우는 252.5KHz의 펄스 주파수에 97%의 발광시간 비율을 낼수 있으며 이것은 순차방식의 경우 230.4KHz에 25%에 비하여 거의 비슷한 주파수에 대하여 훨씬 높은 발광시간 비율을 낼 수 있음을 보여준다.

〈표 3〉 VGA 화면의 서로 다른 계조 및 기본 그룹에 의한 불규칙 어드레싱 구동 조건의 비교
 〈Table 3〉 Comparison of irregular addressing schemes in various configurations for VGA display

Gray bit levels	N_A	N_T	driving pulse frequency (kHz)	cell duty factor(%)
6	10	69×48	198.7	91.3
6	20	132×24	190.1	95.5
7	18	134×27	217.1	94.8
8	30	263×16	252.5	97.0

3. 불규칙 어드레싱 구동시스템의 설계와 실험

그림 3은 160x120 단색 대향방전 구조 PDP를 불규칙 어드레싱방식에 의해 6-비트 계조 구동하기 위한 구동시스템의 구성도이다. 2장에서 설명된 바와 같이 6-비트 계조 불규칙 어드레싱의 경우 가장 적은 기본 그룹 주사선 수는 63개(=2⁶-1)의 유지방전 펄스 주기와 6번의 소거 펄스 주기 내에 어드레싱 가능한 수로서 전체 69개의 펄스주기에서 어드레싱 가능한 주사선의

수는 11개까지 가능하다. 그림 3의 실제 구동 시스템 설계에서는 설계의 간편성을 위하여 기본 그룹 주사선 수를 10으로 하였으며 이에 따라 120개의 주사선은 10개의 불규칙 어드레싱 그룹으로 나뉘어 그룹마다 12개의 주사선이 순차적으로 어드레싱된다. 표 4는 실제로 적용된 10개의 불규칙 어드레싱 순서를 보여주고 있다. 표 4의 오른쪽에 표시된 서브필드의 순서에서 알 수 있듯이 각 주사선의 서브 필드 순서는 10개의 주사선마다 각각 다르다.

그림 3의 구동 시스템은 제어부, 메모리, 스캔 구동 회로, 데이터 구동회로도 4개의 주요 회로부로 구성되어 있다. 제어논리부는 이들 각 회로부들간의 신호전달과 타이밍을 제어하며 화상신호는 PC로부터 프린터 포트를 통하여 받게 되어 있고 따라서 PC는 영상 모니터의 역할도 할 수 있도록 하였다. 스캔 구동부와 데이터 구동부는 200V이상의 고전압 스위칭 회로로서 내부에 슈트 레지스터를 내장하고 있어 그림 3에 보인 것과 같이 제어논리부로부터 4MHz 클럭을 이용하여 데이터를 직렬 전송하게 되어 있으며 낮은 클럭 주파수에서 데이터 전송율을 높이기 위하여 각각 2개의 채널을 사용하였다.

불규칙 어드레싱 구동회로에서 가장 특이한 것은 그림 3에 나타난 바와 같이 주사 순서와 그에 따른 데이터 어드레스가 영상 데이터를 저장하는 프레임 버퍼와 별도의 메모리에 저장된다는 것이다. 120개의 주사선을 6-비트 계조 구동하기 위하여는 표 4에 보여 준 10개의 불규칙 어드레싱 기본 그룹이 12번의 교차 혼합을 실행함으로써 이루어 지므로 불규칙 어드레싱을 위한 메모리에는 10개의 기본 그룹의 순서(1바이트 x 69 주기)와 데이터 어드레스(1바이트 x 69 주기 x 12그룹)만을 저장하면 되며 따라서 1k 바이트 이내의 메모리 공간만을 차지하게 된다. 실제로 데이터 어드레스도 기본 그룹의 것만을 저장하고 프레임 버퍼로부터 데이터를 읽을 때 그것을 포인터로 이용하여 어드레스 값을 매번 10씩 증가시키면 되지만 그림 2의 시스템에서 FPGA를 이용하여 제어논리부를 설계하였고 어차피 차지하는 메모리공간이 크지 않으므로 FPGA의 설계를 보다 간단하게 하기 위하여 120개의 주사선 모두의 어드레스를 저장하였다. 어드레스가 단지 1 바이트인 이유는 하나의 주사선에는 160화소 x 6비트의 영상 데이터가 128바이트를 차지하도록 하였으므로 하위 7비트의 어드레스 필드는 메모리 액세스 할 때에 0에서 127

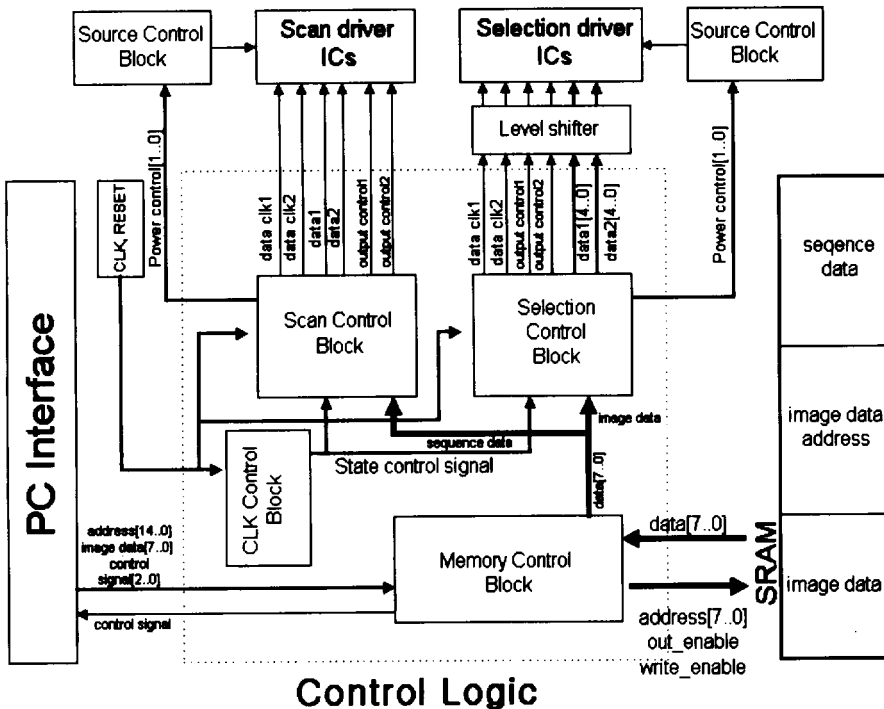
까지의 값으로 발생시키며 상위 8비트의 어드레스 만이 불규칙 어드레싱 순서와 함께 저장된다.

그림 4는 고전압 스위칭 회로인 스캔 구동부와 데이터 구동부의 회로구성을 보여주고 있다. 스캔 구동부는 기입, 유지방전, 소거의 세가지 동작을 위한 3가지 전압레벨의 펄스파형을 발생시킬 수 있도록 설계되었으며 기입 펄스와 유지방전 펄스는 서로 위상이 겹치지 않으므로 하나의 고전압 구동 IC에 공급되는 전원전압을 한 펄스 주기 내에 기입 펄스 전압레벨 V_w 와 유지방전 펄스 전압레벨 V_s 간에 교대로 스위칭되도록 하였다. 소거 펄스 전압레벨 V_E 는 V_w 와 V_s 보다 낮고 위상은 유지방전 펄스와 같으므로 이를 위한 고전압 구동 IC를 따로 연결하였다. 데이터 구동회로는 기입 펄스와 동기되어 네가티브 전압레벨 V_D 를 갖는 데이터 펄스로 160개의 데이터 전극을 구동하며 스캔 구동회로와 마찬가지로 데이터 전극에 유지방전 펄스를 공급한다.

그림 5에는 고전압 구동회로의 출력 파형을 보여 주고 있으며 $V_w = 200$, $V_s = 180$, $V_D = -30$ 으로 되

어 있다. V_E 는 그림 5에 보이지 않지만 110V 이며 이들 전압레벨은 패널의 구조와 가스종류 및 압력에 따라 달라진다. 구동실험에 사용된 대향방전 구조 AC-PDP는 640x480 화소의 해상도에 20인치 크기로 제작하였으며 Ne-Ar(0.1%) 조성의 방전가스를 200 토르의 압력으로 봉입하였다. 이 패널의 특성 측정실험으로부터 측정된 메모리 마진은 유지방전 전압의 범위가 170부터 200V 까지였으며 따라서 실제 실험에서는 180V를 사용하였다.

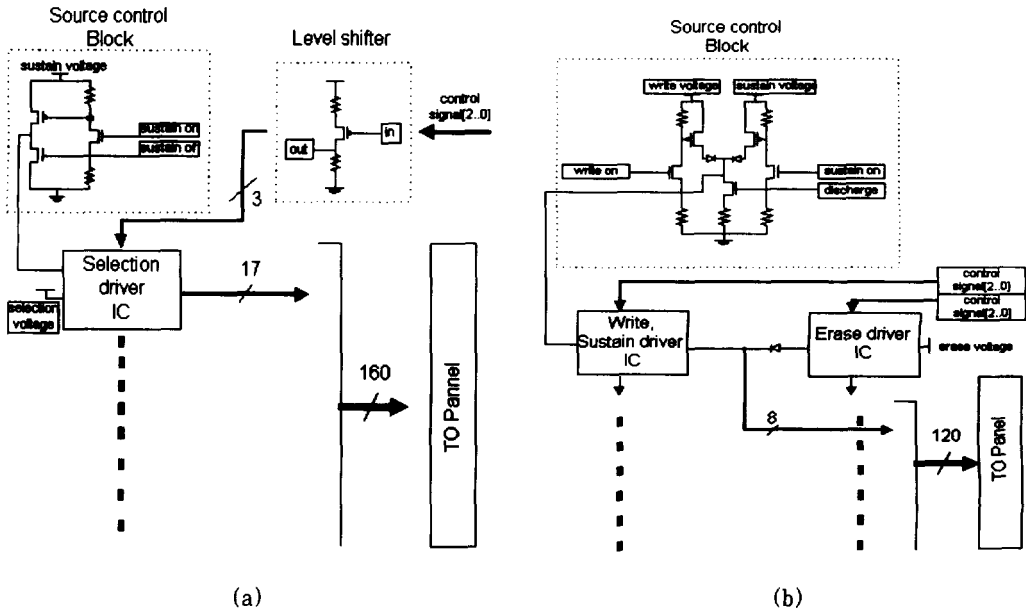
그림 6에는 불규칙 어드레싱 (A) 과 순차 어드레싱 (B) 으로 실험 패널을 구동하였을 경우의 휘도변화를 보여 주고 있다. 발광시간 비율이 순차 어드레싱의 33%에 비하여 불규칙 어드레싱에서는 91%가 되므로 휘도면에서 3배의 차이가 나게되며 또 다른 특징은 불규칙 어드레싱의 경우 계조의 선형성이 좋아진다는 것이다.



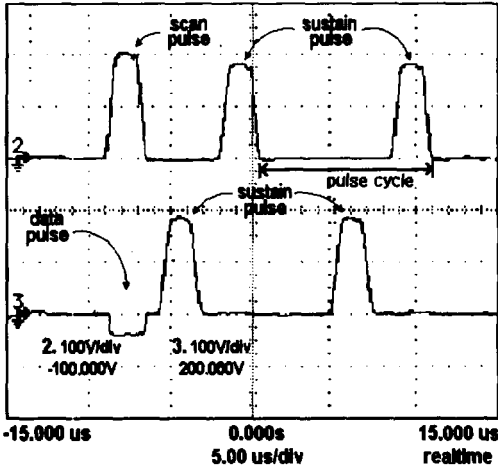
(그림 3) 불규칙 어드레싱 구동 시스템의 구성도
 (Fig. 3) Schematic diagram of driving electronic system based on irregular addressing

〈표 4〉 불규칙 어드레싱 기본 그룹의 주사 순서
 〈Table 4〉 Scan order for basic group of irregular addressing

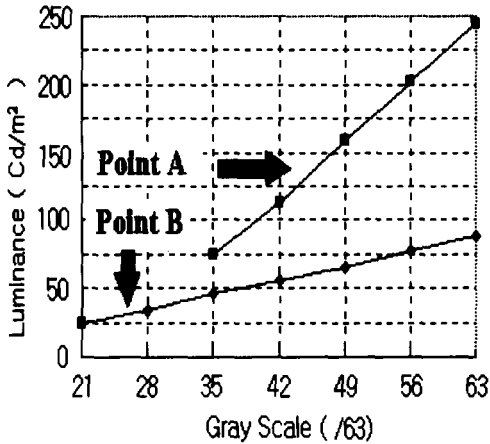
Subfield Scan group	Binary weight of subfield length						subfield sequence
	b0: 2 ⁰	b1: 2 ¹	b2: 2 ²	b3: 2 ³	b4: 2 ⁴	b5: 2 ⁵	
1	1	34	29	20	3	37	b0,b4,b3,b2,b1,b5
2	16	35	11	2	18	38	b3,b2,b0,b4,b1,b5
3	5	33	36	24	7	41	b0,b4,b3,b1,b2,b5
4	28	25	39	30	8	44	b4,b1,b0,b3,b2,b5
5	40	47	42	14	23	50	b3,b4,b0,b2,b1,b5
6	4	48	51	6	56	15	b0,b3,b5,b1,b2,b4
7	43	9	21	12	26	45	b1,b3,b2,b4,b0,b5
8	63	60	55	46	65	13	b5,b3,b2,b1,b0,b4
9	66	58	61	49	32	68	b4,b3,b1,b2,b0,b5
10	67	64	17	22	69	31	b2,b3,b5,b1,b0,b4



(그림 4) 다단 출력 고전압 구동 회로 (a) 스캔 구동부 (b) 데이터 구동부
 (Fig. 4) High voltage driver circuits with multiple level pulse output
 (a) data driver and (b) scan driver



(그림 5) 스캔 구동 펄스 파형
(Fig. 5) Scan driver output pulse waveforms



(그림 6) 불규칙 어드레싱(선 A)과 순차 어드레싱(선 B)으로 구동된 화소의 휘도 변화
(Fig. 6) Luminance measured for a pixel driven by irregular addressing(Point A) and conventional sequential addressing(Point B)

4. 결 론

본 논문에서 제안한 불규칙 어드레싱 방식은 행렬 구동이 가능한 표시장치에서 화소마다 기억능력을 갖추고 있어(일반적으로는 능동구동의 경우에 가능) 발광시간 비율을 조절하는 시간변조 방식에 의해 계조조정을 할 경우에 적용이 가능하다. PDP는 이러한 조건을 갖

춘 대표적인 표시장치로서 불규칙 어드레싱을 적용할 경우 종래의 순차 어드레싱방식에 비하여 구동전압이나 전류, 주파수등을 변화시키지 않고도 3배 이상의 휘도 개선을 이룰 수 있다. 불규칙 어드레싱 방식은 모든 주사선의 서브필드 순서를 다르게 할 수도 있지만 이 경우 그 순서를 찾는 것이 매우 어려우므로 본 논문에서 설명한 160x120 AC-PDP의 구동실험에서는 6-비트 계조조정에서 가장 간단한 경우를 예로 보였으며 비교적 간단한 로직을 더함으로써 불규칙 어드레싱의 구현이 가능함을 보여 주었다.

불규칙 어드레싱은 휘도의 개선외에도 서브필드 방식에서 문제가 되고 있는 동화상에서의 가상윤곽으로 인한 화질저하에도 효과가 기대되며 이 경우 불규칙 어드레싱의 기본 그룹 수를 변화시키거나 서브필드의 순열조합을 바꿈으로써 화질에 대한 영향을 파악하는 것도 매우 중요한 일일것이다(6).

참 고 문 헌

- [1] T. Hirose, et al., "Performance features of a 42-in.-diagonal color plasma display," SID'96, pp.279-282
- [2] K. Takahashi, et al., "Current load reduction of drive circuits for the dc pulse memory PDP with gray scale," SID'92, pp.535-538
- [3] Y. Sano, et al., "A full-color surface discharge ac plasma display," SID'91, pp.728-731
- [4] A. Takahashi, et al., "Normally-on anode pulse memory drive for DC-PDPs," SID'96, pp.287-290
- [5] M. Seki, et al., "An 8-in pulse memory color DC-PDP without auxiliary cell," Japan Display '92, pp.617-620
- [6] T. Yamamoto, et al., "Improvement of Moving-Picture Quality on a 42-in.-Diagonal PDP for HDTV", SID 97 Digest, pp.217-220, 1997



손 일 헌

1977년~1981년, 서울대학교 전
기공학과 학사 및 석사.

1979년~1982년, 해군사관학교
전임강사.

1988년 매사추세츠 주립대학 전
기공학과 박사.

1988년~1992년, Integrated Device Tech., San
Jose에서 선임, 책임연구원.

1992년~1993년, Intergraph, Palo Alto에서 책임연
구원.

1994년~1995년, SUN Micro Systems, Sunnyvale
에서 책임 연구원.

1995년 3월~현재, 단국대학교 전자, 컴퓨터 공학부
조교수로 재직중.

관심분야: 디지털/아날로그 VLSI 회로설계, 저전력/저
전압 회로설계 및 평판 디스플레이 구동회로
설계등임.