

한국형 방송 프로그램 시스템 디코더 ASSP의 개발

조 경 연[†]

요 약

TV 방송의 부가적인 정보 제공이 활발해지면서 그래픽 중첩 프로세서에 대한 요구가 증대되고 있다. 본 논문에서는 한국형 방송 프로그램 시스템 (Korea Broadcast Programming System: KBPS) 표준안을 만족시키는 KBPS 디코더 ASSP(Application Specific Standard Product)를 설계하고 제작하여 기능을 검증한다. KBPS 디코더 ASSP는 8 비트 마이크로프로세서 Z80을 내장하며 그래픽 중첩 제어기, KBPS 스케줄 디코더, 메모리 제어기, 우선 순위 인터럽트 제어기, 미디 제어기, 적외선 리모콘 수신기, 비동기 직렬 통신 제어기, 타이머, 버스 제어기, 범용 병렬 입출력 포트 및 직렬 인터페이스로 구성한다. 설계한 칩은 0.8 미크론 CMOS 게이트 어레이로 제작하였으며, 약 31,500 게이트가 소요되었고, 14.318MHz에서 정상 동작하였다.

Assistant Professor, Department of Computer Engineering
Pukyong University

Gyung-Yun Cho[†]

ABSTRACT

The increase of additional information broadcasting of TV demands a graphic overlay processor. This paper is about the design, implementation and testing of a graphic overlay processor called by KBPS decoder ASSP (Application Specific Standard Product) which is compliance with Korea Broadcast Programming System. KBPS decoder ASSP consists of embedded 8 bit microprocessor Z80, graphic overlay controller, KBPS schedule decoder, memory controller, priority interrupt controller, MIDI controller, infrared remocn receiver, async serial communication controller, timer, bus controller, universal parallel input-output port and serial-parallel interface. The 0.8 micron CMOS Sea of Gate is used to implement the ASSP in amount of about 31,500 gates, and it is running at 14.318MHz.

1. 서 론

정보화 사회의 발달에 따라서 다양한 방송에 대한 요구가 증대되면서, 국내에서도 TV의 방영 시간이 늘어나서 가까운 장래에는 전일 방송을 계획하고 있다. 또한 방송국의 수도 늘어나서 지역 민영 방송국의 설립이 계속되고 있다. 이와함께 방송을 통한 부

가적인 정보 전달 기술도 발달하여, 문자 방송과 캡션의 두가지 형태가 표준으로 정착되고 있다[1-7]. 이러한 부가적인 정보로써 1995년 가을부터 소비자가 원하는 프로그램을 용이하게 선택할 수 있도록 각 방송사에서 이주일분의 방송 프로그램 스케줄을 송신하는 한국형 방송 프로그램 시스템 (Korea Broadcast Programming System, KBPS) 표준안[8]을 제정하고 이에 따른 방송을 실시하고 있다.

한편 종래의 부가 정보는 정보의 가공없이 표현하

[†] 정 회 원: 부경대학교 공과대학 컴퓨터공학과 조교수
논문접수: 1995년 12월 6일, 심사완료: 1996년 5월 30일

는 것이 목적이므로 단순한 디코더인 텍스트 방식의 중첩 화면 제어가 대부분이었다[1-기. 그러나 KBPS는 방송 프로그램에 다양한 정보가 부가되어 있으므로 상당한 수준의 정보 가공이 필요하며, 나아가서 다양한 화면을 제공하기 위한 그래픽 중첩 화면 기능을 갖춘 프로세서가 요구된다.

이러한 요구에 부응하여 본 논문에서는 KBPS 표준안에 따른 방송 프로그램을 디코딩하며, 제공된 정보를 처리하기 위한 마이크로프로세서와 주변회로를 내장하며, 그래픽 중첩 화면 기능을 가진 KBPS 디코더 ASSP(Application Specific Standard Product)를 설계, 제작하고 동작시켜서 기능을 검증하였다.

KBPS 디코더 ASSP는 정보 가공 처리를 담당하는 8 비트 마이크로프로세서 Z80을 내장하며, 그래픽 화면을 방송 화면에 중첩하여 디스플레이하는 그래픽 중첩 제어기와 KBPS 신호를 검출하는 KBPS 스케줄 디코더, 프로그램 메모리와 작업 메모리 영역을 관리하는 메모리 제어기, 13개 채널의 우선 순위 인터럽트 제어기, 멀티미디어 음악을 제어하기 위한 미디 제어기, 사용자 입력 기관으로 적외선 리모콘 수신기,

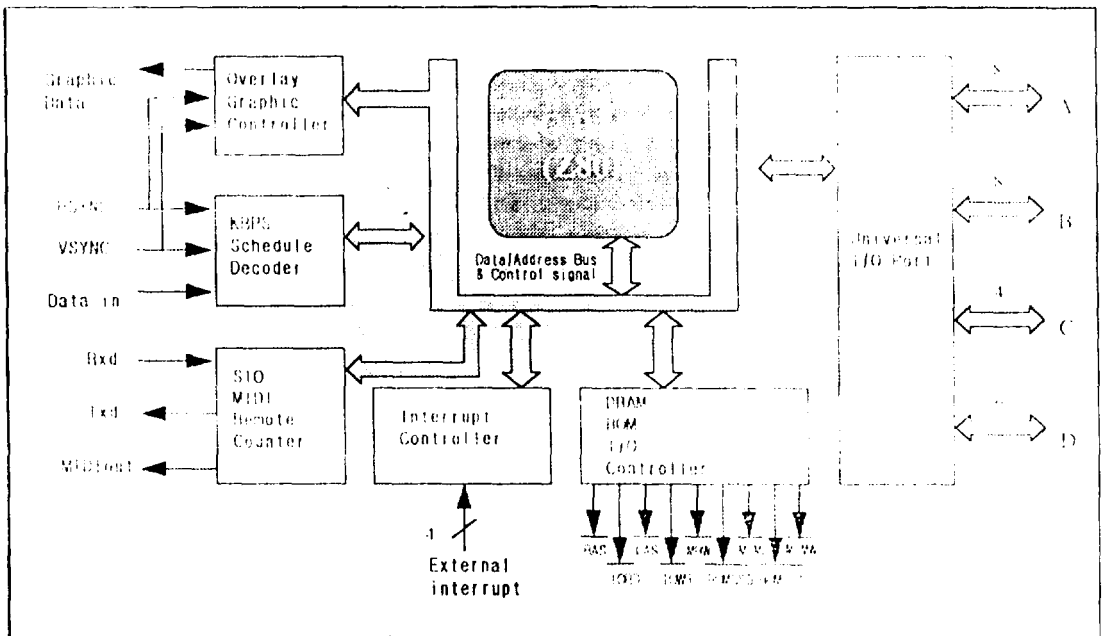
공중선 통신을 위한 비동기 직렬 통신 제어기, 시스템 관리 시간을 제공하는 타이머, 버스 제어기 및 입출력 장치를 제어하기 위한 범용 병렬 포트로 구성한다.

또한 2가지의 동작 모드를 가지는데, 내장한 마이크로프로세서가 시스템에서 주 프로세서로 동작하는 마스타 모드와 별도의 주 프로세서를 가진 시스템에서는 보조 프로세서로 동작하는 스테이브 모드이다. 스테이브 모드는 주 프로세서와 통신 방법에 따라서 병렬 모드 또는 직렬 모드로 동작한다.

KBPS 디코더 ASSP는 SUN 워크스테이션상에서 COMPASS로 설계하고, 0.8 마이크론 CMOS 게이트 어레이로 제작하였다. 약 31,500 게이트가 소요되었으며 120핀 PQFP(Plastic Quad Flat Package)를 사용하였다. 제작된 ASSP의 Z80은 14.318MHz에서 정상 동작하였다.

2. KBPS 디코더 ASSP의 구조 및 설계

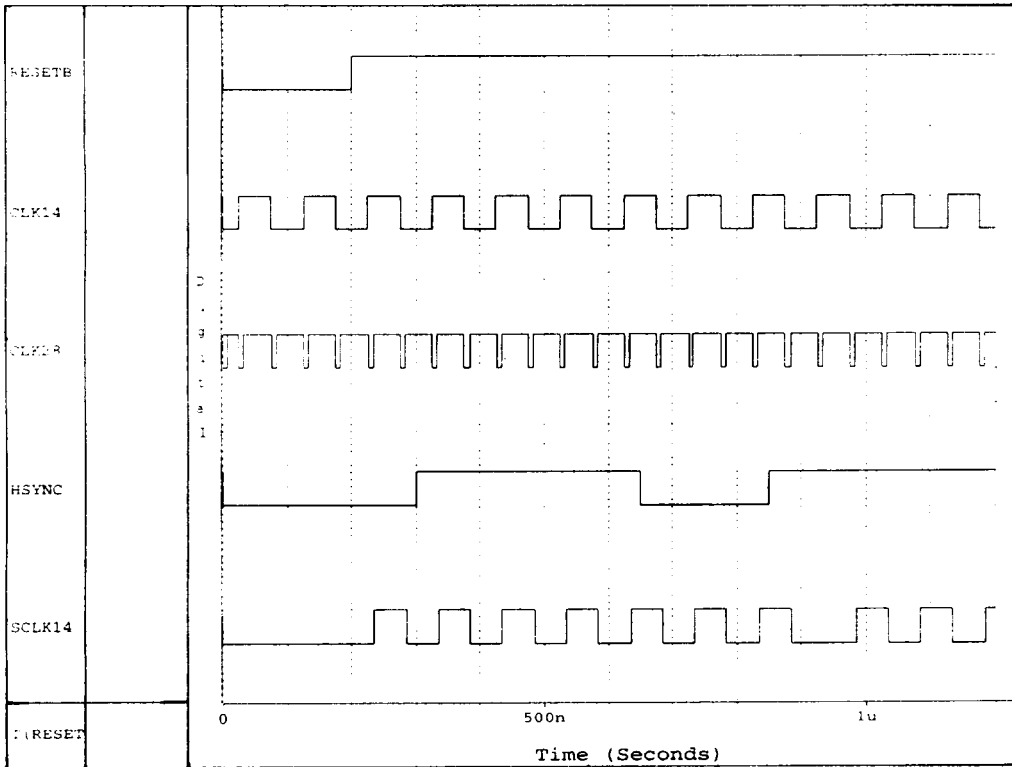
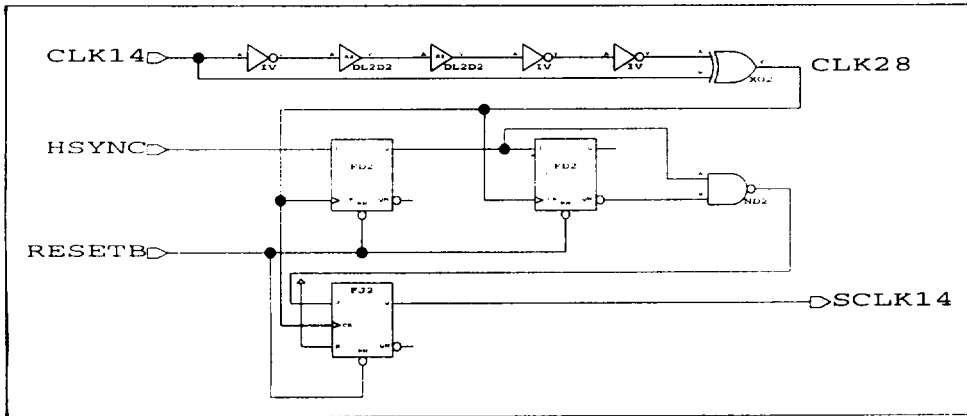
그림 1에 KBPS 디코더 ASSP의 전체 블록도를 보인다. 기준 클럭은 NTSC 칼라 버스트 클럭의 4 배



(그림 1) KBPS 디코더 ASSP의 전체 블록도
(Fig 1) Block diagram of KBPS Decoder ASSP

주파수인 14.318MHz를 사용하였다. 중앙의 Z80 마이크로프로세서는 제공된 라이브러리를 사용하였다. Z80의 동작 속도는 14.318MHz와 7.159MHz를 파워 공급시 설정하도록 하였다. 그리고 시스템 전원이 공

급되지 않는 경우에는 필요한 최소한의 기능만을 수행하여 전력 소모를 줄이기 위해서 0.89MHz에서 동작하도록 하였다.



(그림 2) 기준 클럭 동기 회로도 및 타이밍도
 (Fig 2) Master Clock Sync Circuit and its timing chart

2.1 그래픽 중첩 제어기

그래픽 중첩 제어기는 외부 비디오 신호에 동기하여서 그래픽 화면을 출력하는 기능을 가진다. 따라서 외부 비디오 싱크와 동기를 맞추는 것이 요구된다. 이를 위하여 통상 사용하는 PLL은 아나로그 회로가 요구되거나 순수 디지털 회로로 구성하여도 게이트 어레이로는 제작이 곤란하다[9-11]. 그러므로 본 논문에서는 외부 비디오와의 동기를 기준 클럭 동기와 캐릭터 클럭 동기로 구분하여 순수 디지털 논리 회로로 설계하여 게이트 어레이로 제작이 용이하게 구성하였다.

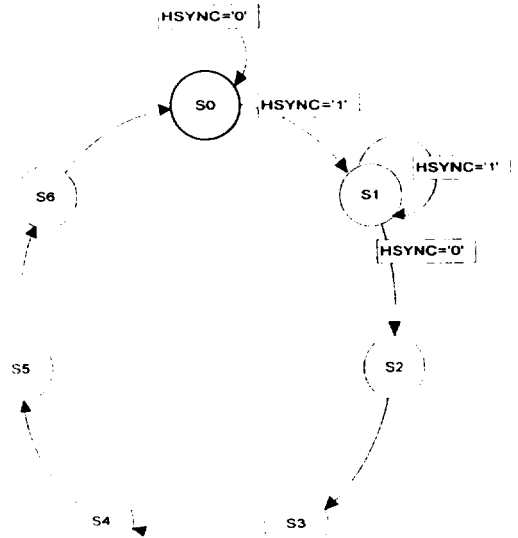
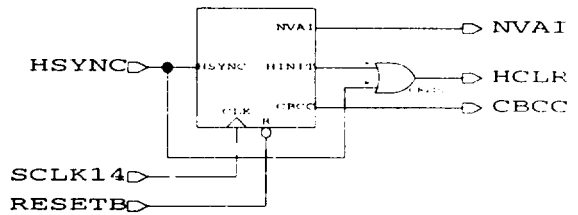
기준 클럭 동기는 14.318MHz 기준 클럭을 외부 비디오의 수평 싱크(HSYNC)에 동기시키는 것으로 기준 클럭을 2 배배한 후 수평 싱크에 동기하여 2 분주하였다. 그림 2에 도트 클럭 동기회로와 동작 타이밍 도를 보인다.

그림 2에서 HSYNC에 동기된 SCLK14가 생성된다. 중첩 그래픽 화면의 화소는 기준 클럭에 동기되므로 인접한 주사선사이에서 화소 어긋남은 최대 28.716 MHz의 주기인 34.8nsec가 된다. 이것은 NTSC 방식의 수평 디스플레이 주기인 52.6usec의 0.07%에 불과하므로 실용상 무시할 수 있다.

캐릭터 클럭 동기는 칼라 버스트 클럭과 비디오 디스플레이 시작 및 비디오 프레임 메모리 접근 사이클을 외부 수평 싱크와 동기를 맞추는 것이다. 그림 3에 캐릭터 클럭 동기 상태 기계와 상태도를 보인다.

그림 3에서 S0는 초기 상태로 외부 수평 싱크가 '1'로 되면 수평 싱크가 시작되는 것으로 S1 상태로 천이한다. S1 상태부터는 수평 디스플레이 구간이 아니므로 비디오 프레임 메모리의 수평 어드레스 카운터를 0으로 크리어시키기 위하여 HINIT를 발생시킨다. HINIT는 캐릭터 동기가 완료되는 S6 상태이후에 취소되므로 수평 어드레스 카운터와 외부 수평 싱크의 동기를 유지할 수 있다. 다시 외부 수평 싱크가 '0'으로 되면 새로운 수평 라인이 시작되는 시점으로 S2 상태로 천이한다. 한편 비디오 프레임 메모리는 수평 싱크 구간중에는 CPU가 사용하거나 리프레시 동작을 수행하고 있으며, 이들 머신 사이클은 4개의 기준 클럭으로 설계하였다. 그러므로 비디오 프레임 메모리 머신 사이클과 외부 수평 싱크의 동기를 맞추기 위해서 S2 상태에서부터 S5 상태까지의 4개 기준 클

럭동안에 NVAI(New Video Access Inhibit)를 발생시켜서 새로운 비디오 프레임 메모리 접근 머신 사이클의 시작을 금지시킨다. 그리고 S6 상태에서는 칼라 버스트 클럭 카운터를 0으로 크리어시켜서 색상 신호 동기를 맞춘다. 모든 동기가 완료되면 S0 상태로 천이하여 다음 외부 수평 싱크까지 머무른다.



(그림 3) 캐릭터 클럭 동기 상태 기계
(Fig 3) Character clock sync. state machine

비디오 도트 클럭은 기준 클럭을 4 분주하여 생성하고, 수평 해상도는 256 픽셀부터 512 픽셀까지 프로그램으로 설정하며, 수직 해상도는 비월 주사시에 최대 512 라인, 순차 주사시에 256 라인까지 프로그램으로 설정 가능하게 하였다. 비디오 프레임 메모리는 비월 주사시에 2 프레임, 순차 주사시에는 4 프레임으로 설계하여 기초적인 동화상 표현이 가능하게 하였다.

칼라는 128 페리트(palette)에 16 색상을 지원한다. 따라서 4 비트가 하나의 픽셀을 나타낸다. 페리트 레지스터는 16 X 8 비트로 구성한다. 페리트 레지스터의 bit 7이 '0'이면 일반 픽셀을 나타내는 것으로 b6-b0가 칼라를 표현한다. 그러나 bit 7이 '1'이면 점멸 픽셀을 나타내는 것으로 일정한 시간 간격을 가지고 2개의 칼라가 교번하여 나타난다. 이때 한 칼라의 페리트 번호는 b3-b0으로 지정하며, 두번째 칼라의 페리트 번호는 0 부터 7까지로 한정하여 b6-b4로 지정한다. 교번 시간 주기는 1초 또는 0.5초로 프로그램으로 설정한다. 따라서 픽셀당 4 비트로 16 색상과 교번 색상을 표현할 수 있다.

2.2 메모리 제어기

메모리는 ROM과 DRAM 영역으로 분리하여 제어한다. ROM 영역은 Z80 논리 공간 0000-BFFF의 48K 바이트를 할당하고, DRAM 영역은 C000-FFFF의 16K 바이트를 할당한다. 논리 공간과 물리 공간사이의 사상을 그림 4에 보인다.

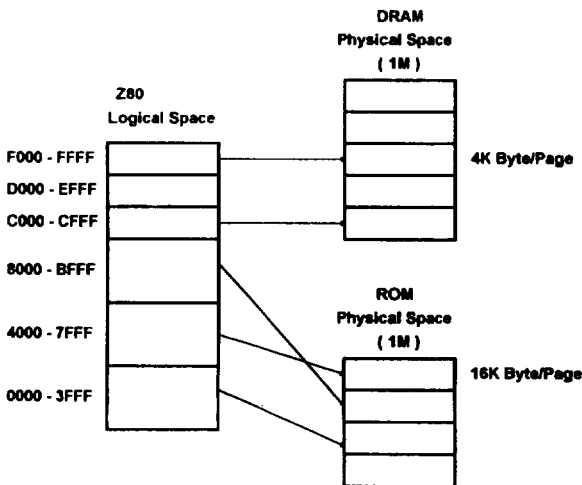
ROM은 하드웨어와 연관이 많은 입출력 관리 프로그램 및 시스템 관리 프로그램과 같이 대부분의 응용에서 공통적으로 사용하는 상주 부분과 응용에 따라서 달라지며 하드웨어 연관성이 낮은 응용 프로그램 부분과 한글의 특성상 많은 양의 비트맵 글자꼴을 기

역하는 글자꼴 부분의 3개 영역으로 크게 나눌 수 있다. 그러므로 그림 4와 같이 논리적인 ROM 영역을 16K 바이트 크기의 3개 페이지로 구분하여 1M 바이트 크기의 물리적 ROM에 사상시킨다.

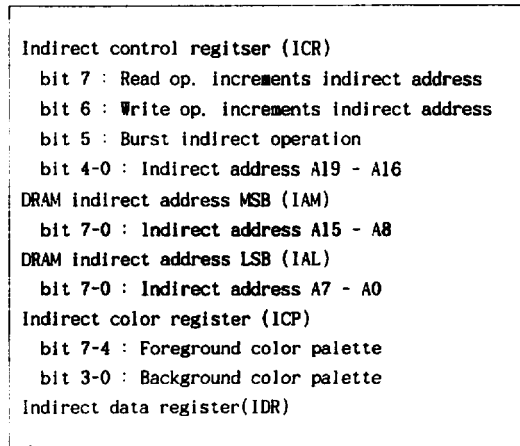
DRAM은 사용 목적에 따라서 비디오 프레임 메모리, 스택 영역, 작업 메모리 영역, 방송 프로그램 메모리의 4개 영역으로 구분하였다. 따라서 논리적인 DRAM 영역을 4K 바이트 크기의 4개 페이지로 구분하여 1M 바이트 크기의 물리적 DRAM에 사상시킨다.

한편 비디오 프레임 메모리는 비월 주사시에 최대 128K 바이트가 되며 이를 4K 바이트 페이지로 나누어서 접근하면 상당히 비효율적이다. 이러한 문제점을 해결하기 위하여 간접 레지스터에 의한 DRAM 영역의 접근 기능을 설정하였다.

그림 5에 간접 레지스터의 구성을 보인다. 1M 바이트 DRAM 공간을 지정하기 위한 20 비트 어드레스는 ICR의 4 비트, IAM 및 IAL로 설정한다. IDR에 접근하면 이들 레지스터에 설정된 DRAM 어드레스를 접근한다. 설정된 어드레스는 읽기나 쓰기 동작에 의하여 자동적으로 증가하여 다음 어드레스를 지정한다. 자동 증가 여부는 ICR의 비트 7과 비트 6에 의하여 설정한다. 또한, 8개 픽셀을 한번의 간접 접근에 의하여 비디오 프레임 메모리에 쓰는 동작은 ICR의



(그림 4) 메모리 사상
(Fig 4) Memory mapping



(그림 5) DRAM 간접 레지스터
(Fig 5) DRAM indirect register

비트 5에 의하여 선택할 수 있다. 이때, IDR에 쓰여지는 데이터의 bit 7은 낮은 어드레스 즉 화면의 왼쪽에 쓰여지며, bit 0은 높은 어드레스 즉 화면의 오른쪽에 쓰여진다. 비트가 '1'이면 ICP의 b7-b4로 설정한 픽셀 데이터가, 비트가 '0'이면 ICP의 b3-b0로 설정한 픽셀 데이터가 해당하는 DRAM에 쓰여지며, 간접 어드레스는 4 증가한다.

2.3 우선순위 인터럽트 제어기

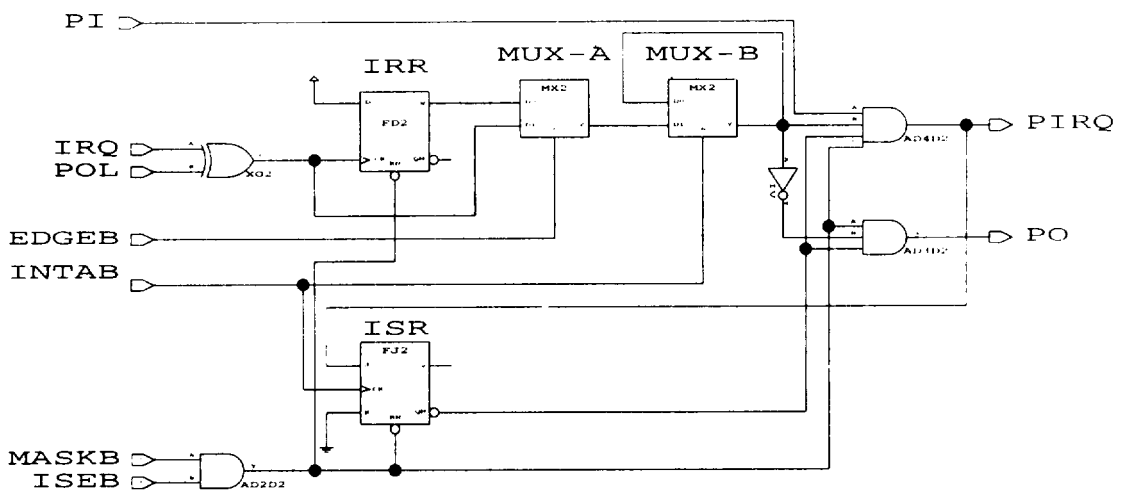
인터럽트 제어기는 주변회로에서 요구하는 인터럽트 요청 신호를 받아서 우선 순위를 결정하여 CPU에게 인터럽트를 요구하고, CPU의 인터럽트 인지 머신 사이클에서 인터럽트 벡터를 발생시키는 기능을 수행한다.

우선순위 인터럽트 제어기는 13 채널의 인터럽트를 관리하므로 그림 6의 인터럽트 채널 제어기 13개를 데이터 체인으로 연결하여 구성하였다.

그림 6에서 PI와 PO는 데이터 체인 입력과 출력으로 PI는 우선순위가 높은 채널의 PO에, PO는 우선순위가 낮은 채널의 PI에 각각 연결한다. PIRQ는 우선순위 인터럽트 출력으로 해당 채널이 인터럽트를 요구한 채널중에서 가장 우선순위가 높을 때 활성화된다. 각 채널 제어기에서 출력된 PIRQ 중에서 어느 하

나가 활성화되면 CPU에 인터럽트를 요구하며, 이들 PIRQ를 인코딩하여 인터럽트 벡터를 생성한다.

MASK#은 채널의 인터럽트를 불능상태로 만드는 신호로 이것이 활성화되면 인터럽트 요구 신호를 무시한다. ISE#은 인터럽트 서비스 종료를 나타내며 통상 비활성 상태이다. IRQ는 인터럽트 요구 신호로 POL 상태에 따라 활성 상태의 레벨이 결정된다. IRQ가 비활성 상태에서 활성 상태로 바뀌면 인터럽트 요구 레지스터 IRR의 출력이 '1'로 된다. EDGE#은 MUX-A에 의하여 에지 인터럽트와 레벨 인터럽트를 선택한다. MUX-A 출력이 활성화되면 통상적으로는 INTA#이 비활성인 '1' 상태이므로 MUX-B의 출력은 활성화되어 데이터 체인에 의하여 우선순위를 결정하면서, CPU에게 인터럽트를 요구한다. 인터럽트 인지 머신 사이클에서는 INTA#이 활성화되어 '0' 상태로 되므로 MUX-B 출력은 전상태를 유지하므로써 데이터 체인 우선 순위 지연에 따른 문제점을 방지한다. 인터럽트 인지 머신 사이클이 끝나면 INTA#이 '0' 상태에서 '1' 상태로 진행하고, 인터럽트 서비스 레지스터 ISR이 '1' 상태로 된다. ISR이 '1' 상태에서는 새로운 인터럽트 요구가 들어와도 PIRQ 출력이 발생하지 않으므로 동일한 인터럽트가 연속하여 요구되는 현상을 방지한다. 또한 PO가 항상 '0'이 되므로 현재



(그림 6) 인터럽트 채널 제어기
(Fig 6) Interrupt channel controller

서비스하는 채널보다 낮은 우선순위의 인터럽트 요구를 금지시킨다. CPU가 인터럽트 서비스를 끝내면 ISE#을 펄스 형태로 활성화시켜서 IRR과 ISR을 크리어시킨다.

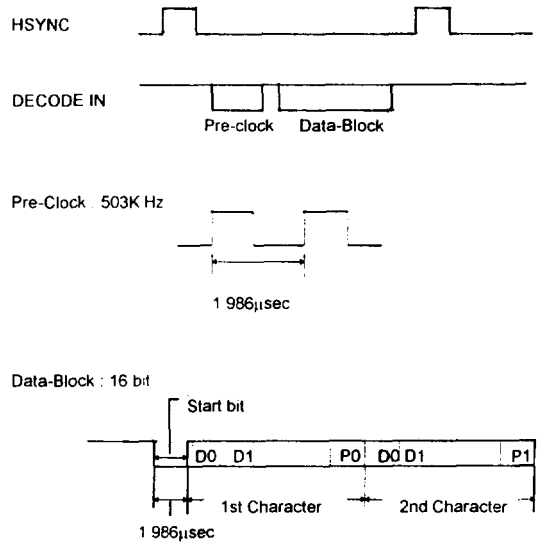
2.4 KBPS 스케줄 디코더

방송 프로그램 스케줄을 디코딩하는 기능을 수행하며 그림 7에 블록도를 보인다.

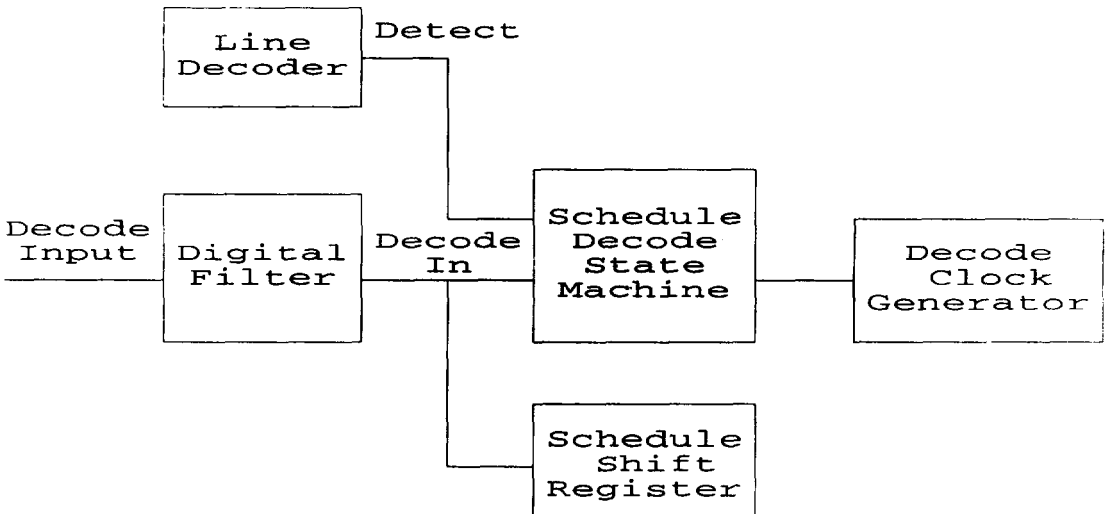
방송 스케줄이 실려져 있는 특정 프레임의 특정 수평 라인을 라인 디코더에서 검출하여 스케줄 디코더 상태 기계에게 알려준다. 한편 수신한 데이터는 잡음이 많이 포함되어 있으므로 디지털 필터를 통과하여 잡음을 제거한 후, 상태 기계와 스케줄 시프트 레지스터에 입력한다. 상태 기계는 라인 디코더로부터 라인 검출 신호를 받으면 프리 클럭을 검색하고, 프리 클럭이 검출되면 16 비트의 데이터 블록을 수신하기 위하여 필요한 신호를 생성하여 스케줄 시프트 레지스터에 공급한다. 또한 상태 기계는 데이터 블록의 수신이 완료되거나 수신중에 오류가 발생되면 CPU에게 인터럽트를 요구한다. KBPS 데이터의 타이밍도를 그림 8에 보인다.

그림 8에서 503.5KHz 주기의 프리 클럭이 7개가 나타나고, 동일 주기의 데이터 블록 16 비트가 이어

진다. 이를 위하여 프리 클럭에 동기된 503.5KHz의 체배 주파수를 발진하는 PLL 회로가 요구되지만 게이트 어레이에서 이를 구현하는 것은 곤란하므로 본문에서는 그림 9의 디코더 클럭 발생기를 설계하여 이 문제를 해결하였다. 디코더 클럭 발생기는 프리



(그림 8) KBPS 데이터의 타이밍도
(Fig 8) KBPS Data Timing Diagram



(그림 7) KBPS 스케줄 디코더 블록도
(Fig 7) Block diagram of KBPS schedule decoder

클럭용과 데이터 블럭용의 2 부분으로 분리되며, 상태 기계와 스케줄 시프트 레지스터에 디코더 인 신호의 샘플링 클럭을 공급한다. 그림 9에 디코더 클럭 발생기의 일부 회로를 보인다.

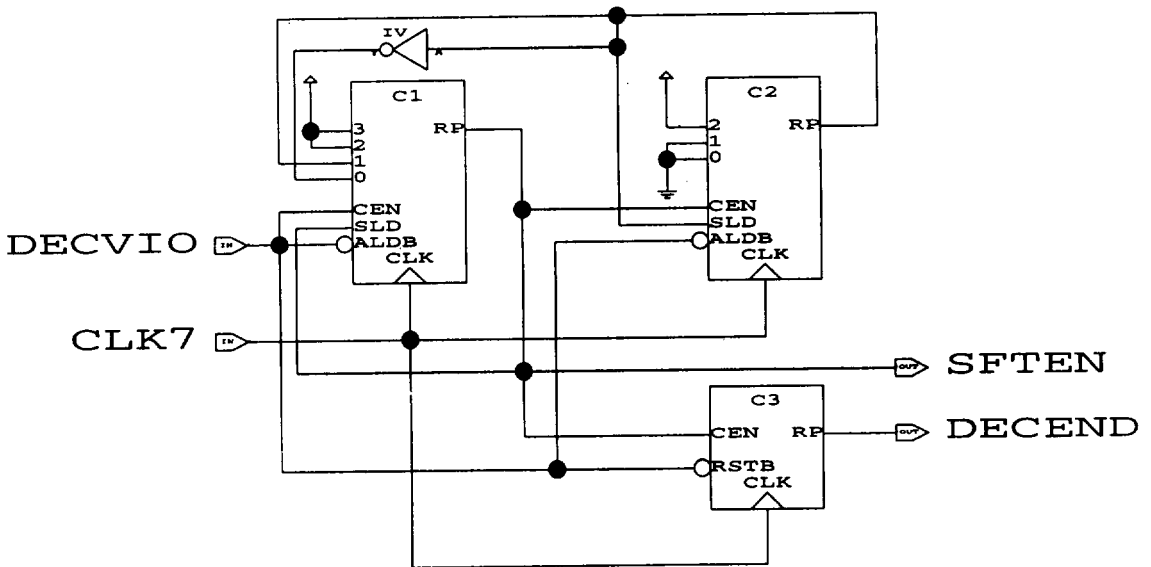
데이터 블럭의 샘플링 주기는 1.986usec이며, 사용한 클럭은 기준 클럭인 14.318MHz을 2 분주한 7.159 MHz이다. 1.986usec 주기를 얻기 위해서 7.159MHz를 14.2 분주해야 한다. 그러나, 14.2 분주를 디지털적으로 수행할 수 없으므로 14, 14, 14, 14, 15 분주를 하면 평균적으로 14.2 분주가 되어서 요구되는 조건을 만족시킬 수 있다. DECVID 신호는 상태 기계에서 데이터 블럭의 시작 비트의 중간에서 활성화된다. 그림 9에서 C1(4 bit down counter), C2(3 bit down counter), C3(4 bit up counter)는 각각 13, 4, 0으로 프리셋되어 있다. CLK7 클럭이 14번 입력되면 C1의 RP가 발생되어 C2, C3가 진행되며 SFTEN이 활성화된다. SFTEN은 스케줄 시프트 레지스터의 시프트 인에이블 신호이다. 따라서, 데이터 한 비트가 시프트 레지스터로 입력된다. C1의 RP가 4번 발생되면 C2의 RP가 발생되어서 C1의 입력 값이 14로 되므로 15 분주 카운터로 설정된다. 이러한 과정의 반복으로 평균 14.2 CLK7의 분주 클럭이 생성된다. 16번의 SFTEN

이 발생되면 DECEND가 활성화된다. DECEND는 상태 기계에 입력되어 16 비트 데이터의 입력이 종료된 것을 나타낸다.

2.5 기타 주변 회로

미디 제어기는 31.25Kbps의 전송 속도를 가지는 비동기 직렬 통신 제어기이다. 하나의 시작 비트와 하나의 스톱 비트를 포함하여 한 바이트 전송에 320usec가 소요된다. 또한 미디 데이터는 최대 수 K 바이트를 연속해서 전송해야 하므로 프로그램에 의한 풀링 기법으로는 충분한 효율을 얻을 수 없다. 이러한 문제점을 해결하기 위하여 16 바이트의 FIFO를 사용하였다. 16 바이트 FIFO 모두를 전송하는데는 5.12msec가 소요되며, FIFO의 일정 수준에서 인터럽트를 요구하도록하여 효율적인 관리를 가능하게 하였다.

리모콘 수신기는 펄스 폭 카운터와 리모콘 인터럽트를 연계하여 구성하였다. 적외선 리모콘은 펄스 변조를 사용하며 '0' 비트는 1.125msec, '1' 비트는 2.25msec 펄스로 인코딩된다. 따라서 리모콘 출력의 에지에서 인터럽트를 요구하고, 에지간의 펄스 간격을 측정하는 펄스 폭 카운터를 인터럽트 서비스 프로그램에서 관리하므로써 리모콘 수신기를 구현하였다.



(그림 9) 디코더 클럭 발생기 회로도
(Fig 9) Decoder Clock Generator Circuit

비동기 직렬 통신 제어기는 공중선 통신망을 연결하기 위하여 RS-232C와 호환하도록 설계하였다. 통신 속도는 9.6K, 19.2K, 38.4K 및 57.6K bps를 지원하였다.

타이머는 주기적으로 인터럽트를 요구하여 응용 프로그램에 시간 기준을 제공한다. 주기는 1m, 2m, 4m, 8m sec로 프로그램할 수 있도록 설계하였다.

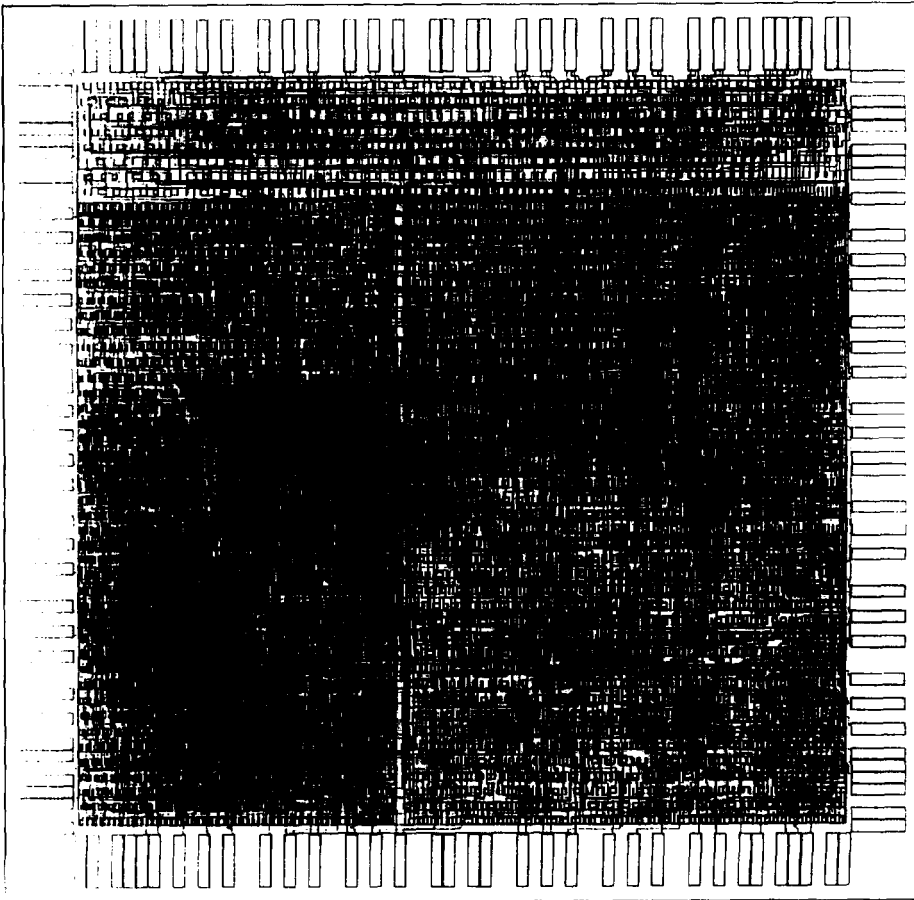
또한 외부 버스에 필요한 명령 신호와 대기 사이클을 관리하는 버스 제어기, 키보드나 LED 등 주변 기기를 연결하기 위한 26 비트의 범용 입출력 포트 및 다른 호스트 CPU와의 연결을 위한 직렬 인터페이스 회로를 설계하였다.

3. 구현 및 고찰

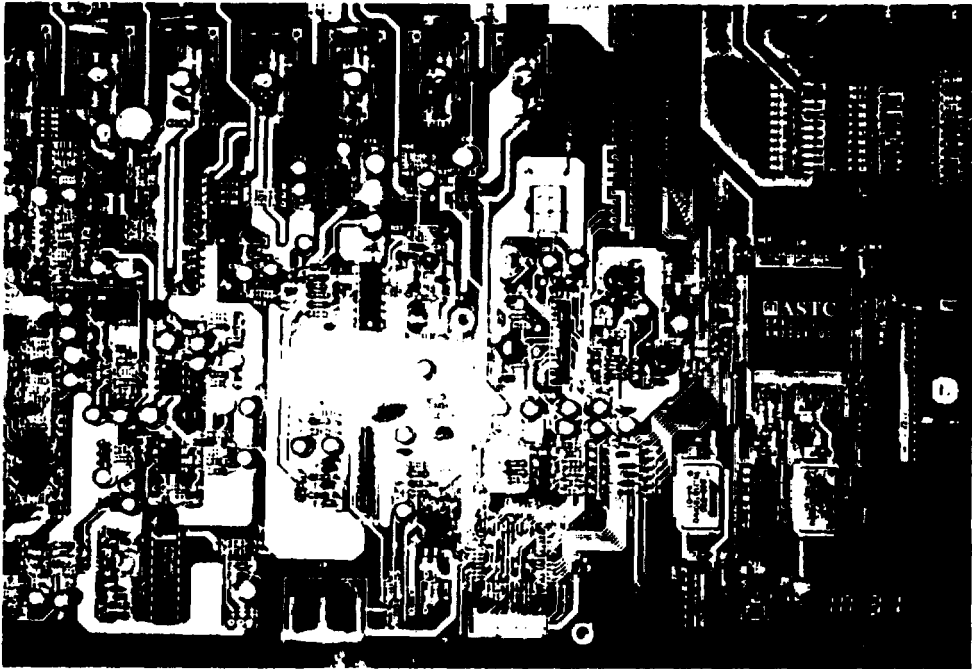
SUN 워크스테이션에서 COMPASS를 이용하여 설계하고, 0.8uM CMOS 게이트 어레이로 제작하였다. 제작 사양을 간략하게 표 1에 보인다.

그림 10에 게이트 어레이의 배치도를 보인다. 윗부분에 호스트 CPU 인터페이스 회로와 범용 입출력 포트, 좌측 하단 부분에 Z80, 우측 하단에 그래픽 중첩 제어기, 우선 순위 인터럽트 제어기 등 주변회로를 배치하였다.

제작된 KBPS 디코더 ASSP는 샘플 보드에 실장하여 테스트하여 모든 기능이 설계한대로 정상 동작하



(그림 10) 게이트 어레이 배치도
(Fig 10) Gate Array Floor Plan



(그림 11) 샘플 보드에 실장된 KBPS 디코더 ASSP
 (Fig 11) Mounted KBPS Decoder ASSP on sample board

<표 1> KBPS 디코더 ASSP 사양
 <Table 1> KBPS Decoder ASSP specifications

Package	120 pin PQFP
Technology	0.8 μ m CMOS SOG
Gate Count	31516.50
Number of input pin	8
Number of output pin	46
Number of bidir. pin	52
Number of Vdd supply	6
Number of Vss supply	8
Base Array	VGC 400210
Operating freq.	14. 318MHz

는 것을 확인하였다. 그림 11에 샘플 보드에 실장한 KBPS 디코더 ASSP를 보인다. 그림상에 ASTC로 명명되어 있다.

4. 결 론

정보화 사회의 발달로 방송을 통한 추가적인 정보 전달이 보편화되면서 소비자가 자신이 원하는 프로그램을 용이하게 선택할 수 있도록 각 방송사에서 이주일분의 방송 프로그램을 송신하는 한국형 방송 프로그램 시스템 (Korea Broadcast Programming System, KBPS) 표준안을 확정하고 이에 따른 방송을 실시하고 있다.

본 논문에서는 KBPS 표준안에 따른 방송 프로그램을 디코딩하고, 정보 처리 기능을 갖춘 KBPS 디코더 ASSP(Application Specific Standard Product)를 설계, 제작하고 동작시켜서 기능을 검증하였다.

KBPS 디코더 ASSP는 8 비트 마이크로프로세서 Z80, 그래픽 중첩 제어기, KBPS 스케줄 디코더, 메모리 제어기, 13개 채널 우선 순위 인터럽트 제어기, 미디 제어기, 적외선 리모콘 수신기, 비동기 직렬 통신 제어기, 타이머, 버스 제어기, 범용 병렬 포트 및 직병

릴 인터페이스 회로로 구성하였다.

KBPS 디코더 ASSP는 SUN 워크스테이션상에서 COMPASS를 사용하여 설계하였으며, 0.8 미크론 CMOS 게이트 어레이로 제작하였다. 약 31,500 게이트가 소요되었으며 120핀 PQFP(Plastic Quad Flat Package)를 사용하였다. 제작된 ASSP는 테스트 보드에 실장 테스트하여 내장된 Z80이 14.318MHz에서 정상 동작하였으며, 설계한 모든 기능이 정상적으로 동작하는 것을 확인하였다.

본 논문의 KBPS 디코더 ASSP는 그래픽 중첩 기능을 가지므로 다양한 사용자 인터페이스가 가능하며, 대규모 메모리를 효율적으로 관리하며, 내장된 Z80 CPU가 14.318MHz의 고속으로 동작하므로 강력한 정보 처리 기능을 가진다. 따라서, 현재 이주일본의 방송 프로그램 관리이상의 기능을 수행할 수 있으므로 다양한 활용이 기대된다. 또한, 미디 제어기 등을 응용한 가정용 멀티 미디어 기기 등에도 적용이 예상된다.

참 고 문 헌

[1] N. F. Hurley, "A Single chip line 21 Captioning Decoder," IEEE Transactions on Consumer Electronics, Vol 38, No. 3, pp. 261-267, Aug. 1992.

[2] Manfred Junke, "A Multistandard Teletext Processor," IEEE Transactions on Consumer Electronics, Vol 38, No. 3, pp. 279-284, Aug. 1992.

[3] Gunduzalp et al, "Use of a Non-Standard Serial bus to transfer TV Teletext data to a personal computer," IEEE Transactions on Consumer Electronics, Vol 38, No. 1, pp. 21-24, Feb. 1992.

[4] Hiroyasu Shindo et al, "Microcontrollers for Closed Caption System," IEEE Transactions on Consumer Electronics, Vol 38, No. 3, pp. 268-278, Aug. 1992.

[5] U. Moller et al, "A Single chip Solution for Closed Caption Decoding," IEEE Transactions on Consumer Electronics, Vol 38, No. 3, pp. 274-278, Aug. 1992.

[6] J. R. Kinghorn, "Enhanced On-Screen Displays

for Simpler TV Control," IEEE Transactions on Consumer Electronics, Vol 38, No. 3, pp. 725-733, Aug. 1992.

[7] Nick Thorne, "A New Family of TV Microcontrollers with On-Board Teletext Decoder," IEEE Transactions on Consumer Electronics, Vol 41, No. 1, pp. 172-179, Feb. 1995.

[8] KBS 기술연구소, 한국형 TV 예약 녹화 시스템 (Korea Broadcast Programming System), Jul. 1994.

[9] Jose Alvarez et al, "A Wide-Bandwidth Low-Voltage PLL for PowerPC Microprocessors," IEEE Journal of Solid-State Circuits, Vol. 30, No. 4, pp. 383-391, Apr. 1995.

[10] Jim Dunning et al, "An All-Digital Phase-Locked Loop with 50-Cycle Lock Time Suitable for High-Performance Microprocessors," IEEE Journal of Solid-State Circuits, Vol. 30, No. 4, pp. 412-422, Apr. 1995.

[11] John Cook, "Digital Clock Phase Shifter without a Phase Locked Loop," IEEE Transactions on Circuits and Systems-1, Vol. 40, No. 4, pp. 278-283, Apr. 1993.



조 경 연

1990년 2월 인하대학교 공과대학 전자공학과 정보공학전공 (공학박사)

1983년 3월~1991년 2월 삼보컴퓨터 기술연구소 책임연구원

1991년 3월~1995년 3월 부산수산대학교 자연과학대학 전자계산학과 조교수

1995년 4월~현재 부경대학교 공과대학 컴퓨터공학과 조교수

1991년 3월~현재 삼보컴퓨터 기술연구소 비상임 기술고문

1993년 6월~현재 아남반도체기술(주) 비상임 기술고문

1995년 1월~현재 대흥전자(주) 비상임 기술고문

관심분야: 전자계산기구조, ASIC 회로 설계, ASIC memory