

# SRTS 지터와 포인터 조정 지터의 감소 방식에 관한 연구

최 승 국<sup>†</sup>

요 약

SRTS 지터와 포인터 조정 지터의 감소 방식에 대하여 연구하였다. 스타핑 지터를 감소시키기 위하여 여러 연구들에서 제시되었던 비트 리킹, 관별 경계치 변조 그리고 시그마-델타 변조 방식들을 실제 SRTS 및 포인터 조정 장치에 적용하여 발생하는 지터의 성질을 컴퓨터 시뮬레이션에 의한 방법으로 분석하였다. 위 방식들을 적용한 장치에서 발생하는 포인터 조정 지터는 기존의 지터보다 그 크기가 절반 이하로 감소되며, SRTS 지터는 시스템 파라미터에 따라서 기존의 지터보다 그 크기가 증가 또는 감소하는 것이 밝혀졌다.

## A Study on Techniques for the Reduction of SRTS Jitter and Pointer Adjustment Jitter

Seung-Kuk Choi<sup>†</sup>

ABSTRACT

Techniques for the reduction of SRTS jitter and pointer adjustment jitter are studied. To reduce the stuffing jitter several methods have been proposed, such as bit leaking, stuff threshold modulation and sigma delta modulation. The characteristics of jitter generated in SRTS and pointer adjustment system implementing these reduction techniques is analyzed with computer simulation. The results show that rms jitter value decreases to less than 50% as compared to a conventional pointer adjustment system. The amplitude of SRTS jitter using new techniques decreases or increases dependent on system parameter.

키워드 : 동기(Synchronization), 지터(Jitter), 포인터 조정(Pointer Adjustment), SRTS

### 1. 서 론

ATM 방식에서는 여러 종류의 데이터들은 쪼개져서 셀의 형태가 되어, 동기식 디지털 계위(SDH: Synchronous Digital Hierarchy)의 장치를 통하여 전송된다. 셀들의 통계적 다중화와 ATM 스위치에서의 대기(queueing) 지연 때문에 셀들은 목적지에 순서대로 전달되지 못하여, 셀지터(cell jitter)가 발생한다. 수신 단말기에서 일정한 간격으로 도착하지 못한 셀들에서 송신 소스(source) 클럭과 같은 일정한 주기의 지터 성분이 적은 클럭을 재생하는 것이 ATM 방식에서 해결해야 할 큰 문제이다.

ATM 셀의 전송 수단으로 사용되는 SDH 동기식 전송망에서는 통신망내의 각 노드(node)에 있는 클럭들이 동기되어, 이상적인 경우 각 클럭의 주파수 및 위상이 모두 같다.

그러나 각 노드 내 클럭들 자체의 위상 잡음과 클럭 동기망의 불완전한 동작으로 인하여, 각 클럭들간의 위상은 서로 일치되지 못하여 노드 클럭들에 지터 및 윈더(jitter and wander)가 존재한다. 노드 A의 클럭과 B의 클럭간에 위상 시간(phase time)차가 존재하므로, 노드 B의 버퍼(buffer)에 노드 A에서 전송되어 온 데이터를 임시로 입력시킨 후에, 다시 노드 내로 읽어 들이는 과정에서 에러가 발생할 수 있다. SDH 전송 장치에서는 이러한 위상차 변화를 위치 맞춤(justification)으로 보정한다.

위치 맞춤은 노드 클럭을 삭제 또는 생성시켜서, 노드 클럭과 입력 클럭간의 위상 차이를 경계치 사이에서만 변동하게 하여 주는 스타핑 동기 방식(stuffing synchronization technique)을 사용한다[1]. 이러한 위치 맞춤 과정에서 발생하는 포인터 조정 지터(또는 스타핑 지터)는 Duttweiler에 의해 이론적으로 분석되었다[2]. 포인터 조정은 근본적으로 155.52Mbit/s의 SDH 노드 클럭이 3바이트씩 조정되므로 발생하는 지터의 크기가 크다. 포인터 조정 지터를 감소시키

\* 본 연구는 한국과학재단 지정 인천대학교 멀티미디어연구센터의 지원으로 수행되었음.

† 정 회 원 : 인천대학교 정보통신공학과 교수  
논문접수 : 2003년 3월 11일, 심사완료 : 2003년 6월 16일

기 위하여, 지금까지 대략 세 종류의 방법이 제시되었다. 첫 번째 방법은 노드 클럭을 한 비트씩 나누어 여러 번 처리하는 방법이다(비트 리킹 방법 : bit leaking technique)[3]. 두 번째는 스타핑 판별 경계치를 변조시키는 방법이며(STM : Stuff Threshold Modulation)[4], 세 번째는 2차 시그마-델타 변조(SDM : Sigma Delta Modulation) 방법이다[5].

ATM 수신 단말기에서 원래의 소스 클럭과 동일한 주파수를 가지는 클럭을 재생하기 위하여, 동기식인 SRTS(Synchronous Residual Time Stamp) 방식이 ITU-T에 의해 채택되었다[6]. 이 방식에서도 수신기에서 클럭 재생 시에 고유의 SRTS 지터가 발생된다. Lau는 SRTS 지터가 그 발생 메커니즘으로 보아, 스타핑 지터와 그 성질이 유사할 것이라고 설명하였다[7]. Murakami는 SRTS 지터를 컴퓨터 시뮬레이션에 의한 방법으로 분석하였으며, 이 지터가 스타핑 지터와 조금 다른 모양을 가지는 것을 밝혔다[8]. 연구 [9]에서는 SRTS 지터의 전력 스펙트럼을 이론적으로 유도하였다. 충분히 저주파 필터링된 SRTS 지터와 스타핑 지터는 서로 같은 특성을 갖는 것이 연구 [9]에서 밝혀졌다. 그러므로 본 연구에서는 우선, 스타핑 지터의 감소를 위하여 제시된 세 가지 방법을 이용한 포인터 조정 장치에서 발생하는 지터를 분석한다. 또한 이 방식들을 SRTS 장치에 적용하여, 이 때 발생하는 SRTS 지터의 특성을 분석하고자 한다.

**2. 포인터 조정 장치에서 발생하는 지터**

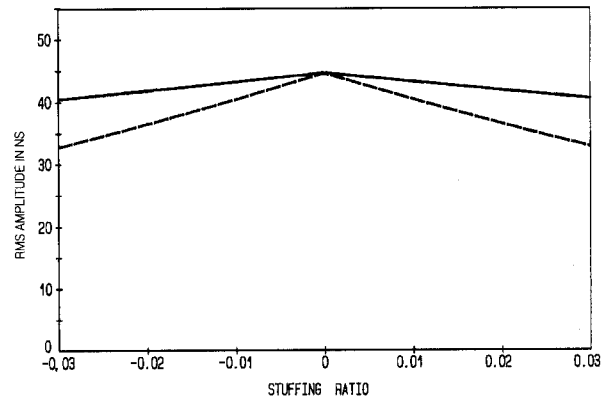
동기식 디지털 계위와 각 계위의 전송 속도 및 프레임 구조는 ITU 권고안 G.707, G.708과 G.709에 의해 확정 권고되었다[1]. 동기식 전송 방식에서 사용되는 다중화 단계에서, 기본 요소는 STM-1(Synchronous Transport Module level-1)으로 이의 기본 주파수는 155.52 Mbit/s이며 프레임(frame)의 반복 주파수는 8kHz이다. STM-1에 수용되는 신호들은 가상컨테이너(VC : Virtual Container), TU(Tributary Unit) 및 AU(Administrative Unit)등의 다중 요소를 거치면서 단계적으로 STM-1 프레임 내의 페이로드(payload)에 삽입된다.

정/영/부 위치 맞춤은 버퍼에 들어있는 데이터를 읽어내기 위하여 공급되는 노드 클럭 중, STM의 프레임 내에 있는 정 위치 맞춤 자리에 있는 클럭들을 AU-4의 경우 세 바이트씩 삭제시켜 갭(gap)이 있는 클럭을 만들어 그 자리에 더미 바이트를 삽입하거나(정 위치 맞춤), 또는 부 위치 맞춤 자리에 있는 갭 대신 그 자리에 클럭들을 세 바이트씩 생성시켜 그 자리에 데이터를 삽입하여(부 위치 맞춤), STM 프레임과 VC의 위상 차이가 상한과 하한 한계값 사이에서만 변동하게 하여주는 스타핑 동기 방식이다. 이 때

STM 프레임 내에서 계속 변동되는 VC의 시작 위치는 위치 맞춤에 따라 변화되는 포인터에 의해서 표시되며, 이 과정에서 지터가 발생한다.

이와 같은 스타핑 제어시 클럭이 멈추어질 수 있는 것은 프레임 내 일정한 곳에서만 가능하므로 두 클럭의 위상 차이가 한계치를 초과하는 즉시 클럭이 멈추어지는 것이 아니라 일정한 스타핑 가능한 시간 위치까지 기다려야만 멈추어질 수 있어 그로 인한 위상 보정이 가능하다. 이와 같은 이유에서 스타핑 지터는 대기 시간 지터(waiting time jitter)라고도 한다. 이와 같은 위치 맞춤은 매 프레임마다 발생할 수 있는 것이 아니라 최대 매 4번째 프레임마다 발생할 수 있도록 ITU-T 권고안 G.709[1]에서 규정하고 있다. 따라서 발생 가능한 최대 위치 맞춤의 주파수는 2kHz(8kHz/4)가 된다. 동기식 통신망에서 각 노드 클럭의 주파수는 155.52 Mbit/s보다 4.6ppm 높거나 낮을 수 있다. 이러한 노드 클럭간의 주파수 편차는 한번에 24비트씩 보정되는 위치 맞춤으로 조정되어야 하므로 실제 위치 맞춤이 행하여지는 빈도 대 최대로 위치 맞춤이 일어날 수 있는 빈도(1초당 2000번)의 비인 스타핑비는 +0.03에서 -0.03 사이의 값을 가진다.

그러나 클럭이 갑자기 멈추게 되면 지터 성분이 크게 되므로 평활화 PLL(smoothing Phase Locked Loop)을 사용하여 급작스럽게 크게 변동하는 위상의 움직임을 작게 되도록 평활화 시킨 후, 이 평활화된 클럭으로 데이터를 읽어 내도록 한다. 불연속성으로 인한 큰 크기의 지터는 PLL의 지터 전달 함수 특성에 따라 필터링(filtering)되므로 클럭에 존재하는 고주파 성분의 지터의 크기를 작게 할 수 있다. 평활화 PLL로는 보통 2차 PLL이 사용되는데, 연속적인 노드에서의 지터 축적을 작게 하기 위하여 댐핑 계수를 7로 크게 선정하여 피킹(peaking)이 작도록 하였으며 3-dB대역폭은 100Hz로 선정하였다.

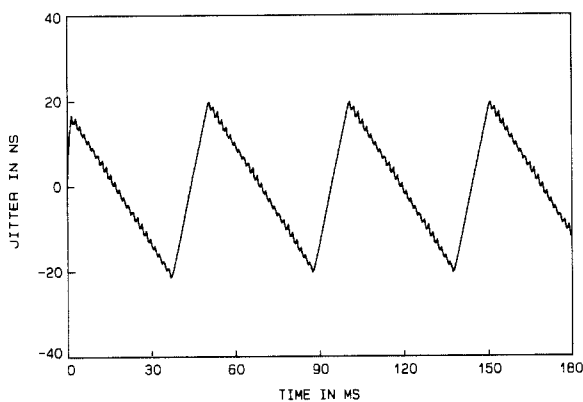


(그림 1) 포인터 조정 장치에서 발생하는 필터링된 스타핑 지터의 스타핑비에 따른 실험치(— : PLL의 3-dB 대역폭이 500Hz, - - - : 대역폭이 100Hz인 경우)

Duttweiler는 스타핑 지터의 전력 스펙트럼(power spectrum)과 rms값을 구하였다[2]. 포인터 조정 지터의 스타핑비에 따른 rms값이 Duttweiler의 결과식을 이용하여 계산되어 (그림 1)에 도시되었다. 스타핑비가 0 근처의 작은 값을 가지는 이러한 경우에, 반복 주기가 큰 저주파의 지터가 발생된다. 이 저주파 지터는 대역폭이 100Hz인 평활 PLL로도 제대로 감소되지 못하여, 모든 스타핑비에 대한 평균적인 rms값의 크기가 38.4ns인, 큰 크기의 포인터 조정 지터가 발생된다.

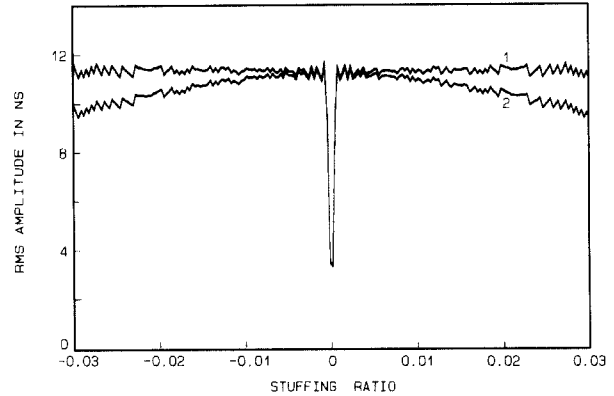
### 3. 포인터 조정 지터를 감소시키기 위한 방식

포인터 조정시 155.52Mbit/s의 클럭이 3바이트(24비트)씩 제어되므로 침투치가 154ns가 되는 매우 큰 지터가 발생한다. 수신 측 역동기화 장치에서 3바이트 대신 1비트씩 24번 제어하는 방법이 비트 리킹 방식이다[3]. 이와 같이 한 비트씩 제어하면 지터의 크기가 우선 1/24로 작아지며, 아울러 지터 신호의 반복 주파수도 24배 높아지므로 평활화 PLL로 감소가 용이해진다. 그러나 송신기에서 바이트씩 보정된 속도보다 역동기 장치에서 비트 리킹 되는 속도가 늦게 되면 수신기의 버퍼에 데이터가 넘치게 되어 예러가 발생한다. 그러므로 역동기화 장치에서는 지금까지의 포인터 조정 간격 시간을 통계적으로 계산한 후에, 이 통계치에 여유를 주어서 더 짧은 시간 내에 모두 비트 리킹 시켜야 한다. 비트 리킹이 실제 포인터 조정 시간 간격의 75%에 완료될 경우에 발생하는 지터가 컴퓨터 시뮬레이션 방법으로 생성된 후에 PLL로 필터링되어 (그림 2)에 도시되었다. (그림 2)에서와 같이 24번의 빈번한 비트 보정에 의한 고주파 지터 성분은 필터링되어 작게 감소되었다. 그러나 비트 리킹이 완료된 후인 나머지 25% 시간에서는 다시 원래의 저주파 지터가 발생된다. 이 저주파 지터는 25% 시간 대역에서만 발



(그림 2) 비트 리킹이 포인터 조정 간격 시간의 75%에 완료될 경우에 발생하는 평활된 지터의 파형(스타핑비 : 0.01, PLL 3-dB 대역폭 : 300Hz)

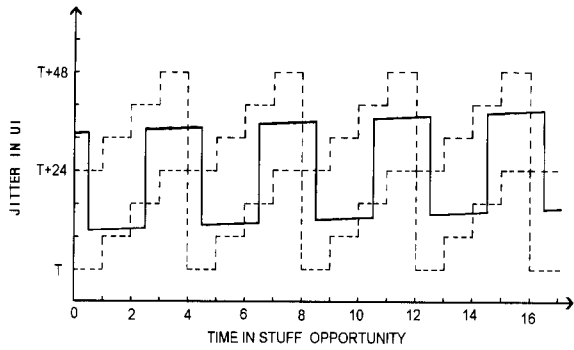
생되므로 그 크기는 원래 보다 대략 1/4로 작아지게 된다. 이 경우에, 스타핑비에 따른 필터링된 지터의 rms값이 (그림 3)에 도시되었다. PLL의 대역폭이 100Hz인 경우에, 모든 스타핑비에 대한 필터링된 지터의 평균적인 rms값의 크기는 10.5ns이다.



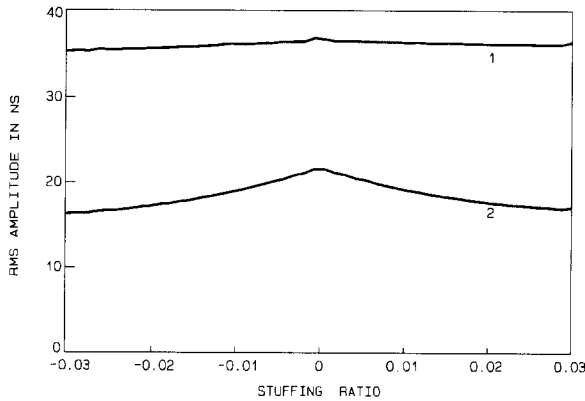
(그림 3) 비트 리킹을 사용하는 포인터 조정 장치에서 발생하는 지터의 스타핑비에 따른 실험치(1 : PLL의 3-dB 대역폭이 300Hz, 2 : 100Hz)

입력 클럭과 다중화 클럭간의 위상 차가 위상 검출기에 의해 검출되고, 그 위상 차 값이 경계치보다 크게 되면 조정이 행하여 지는 것이 스타핑 동기 장치의 동작 원리이다. 이 때 경계치를 일정하게 유지하지 않고 그 크기를 변화시키는 것이 STM 방식이다[4]. 포인터 조정 시스템에서는 정/영/부 위치 맞춤을 사용하므로 상한 경계치와 하한 경계치를 변화시킨다. 본 논문에서는 매 4번째 스타핑 가능 시간 때마다 톱니파 모양으로 경계치를 반복 변화시킨다( $N=4$ ). 이 경우에는 (그림 4)에서와 같이, 매 4번째 스타핑 가능 시간 때마다 빈번하게 강제적으로 조정이 발생하게 된다(forced adjustment).

따라서 이 때 발생하는 지터는  $2000/4 = 500\text{Hz}$  정도로 그 기본 주파수 성분이 높게 되어 역동기화 장치 내에 있는 평활화 PLL에 의해 작게 감소될 수 있다.  $N=4$ 인 STM 방식의 시스템에서 발생하는 지터가 컴퓨터 시뮬레이션 방법으로 생성되어 (그림 4)에 도시되었다. 스타핑비에 따라 변하는 이러한 필터링된 지터의 rms값이 (그림 5)에 도시되었다. 모든 스타핑비에 대한 필터링된 지터의 평균적인 rms값의 크기는 18.5ns이다. 그러나  $N$ 값이 4보다 더욱 크게 되면 발생하는 지터는 500Hz 이하의 저주파 성분을 갖게 되며, 이 성분은 평활화 PLL에 의해서도 충분히 감소되지 못하여  $N=4$ 인 경우에 비하여 큰 지터가 발생하게 된다.  $N$ 값에 따라 다르게 발생하는 필터링된 지터가 생성된 후에, 그 지터들의 모든 스타핑비에 따른 평균 rms값들이 계산되어 <표 1>에 주어졌다.



(그림 4) 주기가 4 포인터 조정 시간인 톱니파 모양의 경계치를 갖는 STM 방식에서 발생하는 지터의 파형



(그림 5) 주기 N=4인 톱니파 모양의 경계치를 사용하는 STM 방식에서 스타핑비에 따른 평활된 지터의 실효치(1 : PLL의 3-dB 대역폭이 300Hz, 2 : 100Hz)

<표 1> N값에 따라 다르게 발생하는 지터들의 모든 스타핑비에 따른 평균 rms값

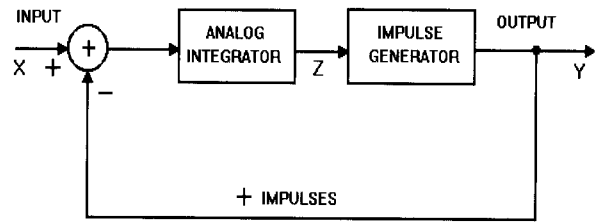
(단위 : ns)

3-dB 대역폭 \ N	4	5	6	7	8	9	10
100Hz	18.5	18.6	19.0	20.4	22.1	23.8	25.5
300Hz	36.1	37.8	40.4	42.7	44.8	46.5	48.0

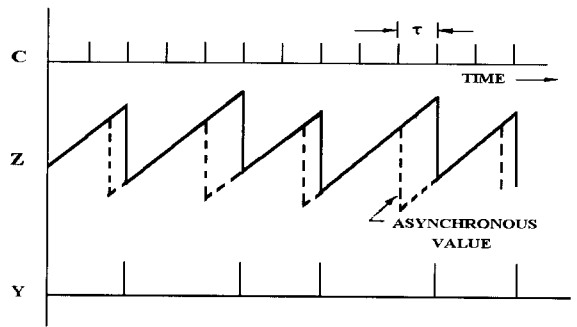
SDM은 원래 아날로그 신호를 디지털 신호로 A/D 변환할 때 발생하는 양자화 잡음을 작게 하기 위하여 사용되고 있다. 변조기의 적분기와 피드백루프(feedback loop)의 동작으로 잡음의 주파수 성분이 높은 쪽으로 천이 되므로써 양자화 잡음의 제거가 용이하게 된다[10]. 이 SDM 변조기에 적분기와 피드백루프를 하나 더 추가한 2차 SDM 변조기에서는 양자화 잡음의 주파수 성분이 1차 변조기의 경우보다 더욱 높은 쪽으로 천이 된다[10].

Duttweiler는 스타핑 지터에 관하여 분석하던 중에, 스타핑 지터가 Iwerson[11]에 의해서 분석된 델타 변조(delta modulation)에서 발생하는 양자화 잡음과 그 모양이 일치하는 것을 발견하였다[2]. SDM 변조기를 실제 디지털 시스템

으로 구현한 회로가 (그림 6)에 도시되었다. 이 시스템에서 신호 z의 크기가 상한 한계치를 초과할 때마다 +임펄스가 발생된다. 또한 신호 z의 크기가 하한 경계치 보다 작게 될 때에는 -임펄스가 발생된다. 이러한 변조기에 크기가 x인 일정한 직류 신호가 인가되면, 적분기의 출력에 신호 z가 발생한다. 그러나 디지털 시스템에서는 (그림 7)에서 클럭 간격  $\tau$  때마다 시스템이 동작하여 임펄스를 발생한다. 이때 (그림 7)과 같이 한계치를 초과할 때마다 즉시 임펄스가 발생되지 못하고 일정한 시간이 될 때까지 기다려야 한다. 그러므로 이 때 발생하는 신호 z의 모양은 스타핑 지터와 그 모양이 똑 같다. 즉 시그마-델타 변조기의 입력에 직류 신호가 인가될 때 발생하는 잡음이 스타핑 지터와 같은 성질을 지닌다.

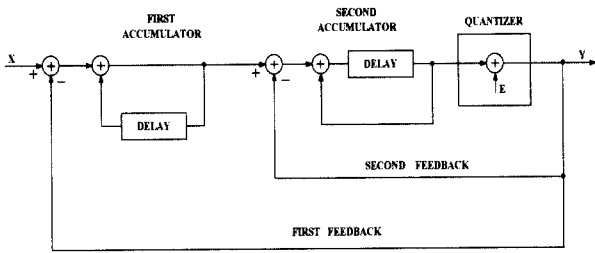


(그림 6) z가 양이 될 때마다 임펄스가 발생하는 시그마-델타 변조기

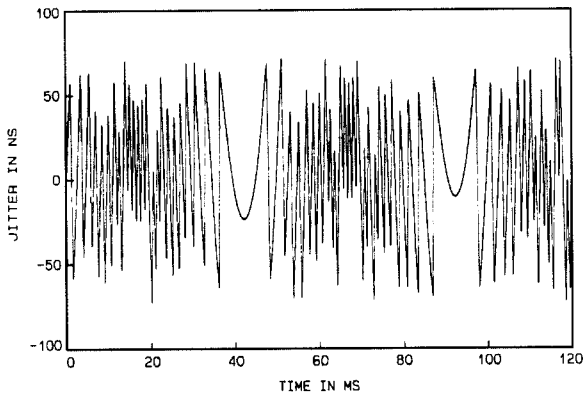


(그림 7) 입력에 직류 신호 x가 인가될 때 디지털 시그마-델타 변조기에서 발생하는 파형

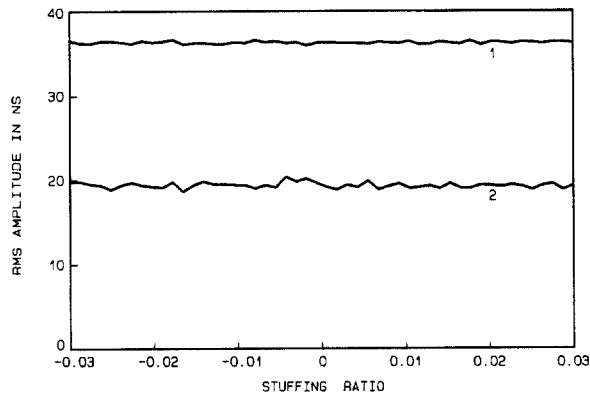
그러므로 (그림 6)의 구조를 가지는 스타핑 시스템에 적분기와 피드백 루프를 추가 삽입하면, 모두 (그림 8)과 같은 2차 시그마-델타 변조기와 같은 구조가 된다. 포인터 조정 장치가 유리한 2차 시그마-델타 변조기의 구조를 가질 때, 발생하는 지터를 컴퓨터 시뮬레이션에 의한 방법으로 생성하였다(그림 9). 변조기가 동작되는 클럭 간격  $\tau$ 는 스타핑 가능 시간 간격 1/2000초에 해당되며, 등가 시그마-델타 변조기에서 입력 직류 신호의 크기 x에 해당하는 스타핑비는 0에서  $\pm 0.03$ 까지의 값을 가진다. 스타핑비를 변화시킬 때 발생하는 평활화된 지터의 rms값이 시뮬레이션 방법의 의해 (그림 10)과 같이 분석되었다. 이 지터의 모든 스타핑비에 대한 평균적인 rms값은 19.1ns이다.



(그림 8) 두 개의 레환루프를 갖는 2차 시그마-델타 변조기의 구성도



(그림 9) 2차 SDM 방식에서 발생하는 지터의 파형(스타핑비: 0.01, PLL의 3-dB 대역폭: 300Hz)



(그림 10) SDM 방식을 사용하는 포인터 조정 장치에서 발생하는 지터의 스타핑비에 따른 실효치(1: PLL의 3-dB 대역폭이 300Hz, 2: 100Hz)

비트 리킹 동기 시스템에서 포인터 조정 속도가 갑자기 빠르게 변동하면, 역동기화 장치에서 비트 리킹 속도가 그 변동을 따라가지 못하여, 에러가 발생할 가능성이 존재하는 문제점이 있다. STM 방식은 동기화 장치에서 스타핑 판별 경계치만 변화시켜 주면 되므로 그 구조가 간단하다. 그러나 이 방식에서는 (그림 4)와 같이 강제적으로 빈번하게 스타핑을 발생시키므로, 동기식 통신망의 노드 클럭의 주파수가 서로 일치되어 지터가 발생되지 않는 정상적인 경우에도 강제로 rms값이 20ns 정도인 지터가 항상 발생하게 된다. 한편 SDM 방식은 그 구조가 복잡한 문제가 있다.

#### 4. SRTS 클럭 재생 방식에서 발생하는 지터

SRTS 방식에서는 송신 측 단말기와 수신 측 단말기에 모두 SDH 통신망의 동기 클럭이 공급된다. 송신측 단말기에서는 단말기의 소스 클럭이 이 동기 클럭과 비교되며, 두 클럭간의 주파수 편차에 대한 이러한 정보는 ATM 적응계층(AAL: ATM Adaptation Layer)의 오버헤드에 삽입되어 수신 측 단말기에 전송된다. 수신 측 단말기에서는 인근 노드에서 공급된 동기 클럭과 전송되어 온 타이밍 정보를 이용하여 원래의 소스 클럭의 주파수를 가지는 클럭을 재생한다.

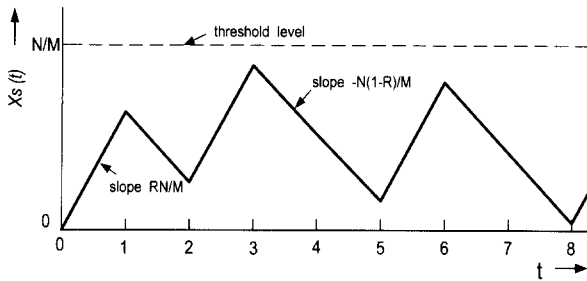
동기식 통신망에서 공급되어 온 주파수  $f_n$ (보통  $155.52 \pm 4.6$  ppm Mbit/s)의 동기 클럭은 송신기에서  $x$ 분주 되어, 주파수가  $f_{nx}(f_n \div x)$ 인 클럭이 된다. 한편 주파수가  $f_s$ 인 송신 단말기의 클럭은  $N$ 분주 된다.  $N$ 분주한 소스 클럭의 에지(edge) 때마다, 에지와 에지 사이의 시간 간격 동안에 존재하는  $f_{nx}$  클럭의 갯수가 카운트된다. 매 에지 때마다 샘플링된 이러한 타이밍 정보는 수신 측으로 전송된다. 샘플링 한 주기 동안에는 주파수가  $f_{nx}$ 인 노드 클럭이  $M$ 개 존재하며, 이 값은 두 클럭의 주파수 값에 따라서 결정된다( $M = Nf_{nx}/f_s$ ).

ITU-T에서는  $N = 3008$ ,  $1 \leq r = f_{nx}/f_s < 2$ , 소스 클럭의 최대 주파수 편차를  $\pm 200$ ppm[6], SDH 동기 클럭의 주파수는 155.52MHz로 권고하고 있다[1]. 만일  $f_s = 78.16 \pm 200$  ppm MHz이고  $f_{nx} = 155.52$ MHz인 경우에,  $M$ 값은  $5985.2119 \pm 1.197$ 가 되며, 이 값은 보통 정수가 아니다. 그러나 이 값은 송신 단말기에서 5985나 5986으로만 카운트되어 샘플링된다. 먼저  $M$ 값을 정수 부분  $M_0$ 와 나머지 소수값  $R$ 의 합으로 표시하자( $M = M_0 + R$ ).  $M$ 값이 5985.2119일 때, 송·수신되는 타이밍 정보값은 ..., 5986, 5985, 5985, 5985, 5985, 5986, 5985, ...과 같이 변화한다. 즉 나머지값  $R$ 이 0.2119이므로  $1/0.2119 \approx 4.719$ 가 되어, 대략 5번째마다 이 나머지값이 쌓여서 5986이 나타난다.

수신 측에서는, 이러한 타이밍 정보에 따라 노드 동기 클럭이 5985 혹은 5986 분주 되어 불균일한 시간 간격을 가지는 펄스를 생성한다. 이 분주된 펄스를 수신기에 있는 PLL에 인가하여, 그 주파수를  $N$ 배로 확장시킨 연속적인 클럭을 재생한다. 그러나 수신 단말기의 PLL 입력 펄스의 시간 간격이 불 균일하기 때문에, 재생된 클럭에 지터 성분이 존재한다. 이 때 지터 성분은 PLL의 지터 전달 함수 특성에 따라 저역 필터링되며, 재생된 클럭에 저주파의 지터가 존재한다.

그러므로 송신 단말기에서 원래 5985.2119 노드 클럭 갯수 만큼의 일정한 시간 간격을 가지는 샘플링 펄스와, 위와 같이 변화하는 펄스 간격을 가지는 PLL 입력 펄스간의 위상 시간차(지터)는 그 크기가 ..., 0.2119, 0.4238, 0.6357, 0.8476, 0.0595, 0.2714, 0.4833, ...로 계속 변화하는 것을 알

수 있다. 이 때 주파수가  $f_{nx}$ 인 동기 노드 클럭이 제어되었으므로 주파수가  $f_s$ 인 소스 클럭을 기준으로 모든 수치가 환산되어야 한다. 이와 같이, 지터의 크기가  $N(1-R)/M$  UI (Unit Interval : 2.048MHz 경우 488ns)보다 작은 경우에는 지터는  $RN/M$  UI만큼씩 일정하게 1차 함수의 모양으로 증가하고, 지터의 크기가  $N(1-R)/M$  UI보다 클 때에는 지터는  $-N(1-R)/M$  UI 만큼씩 일정하게 1차 함수의 모양으로 감소하는 지터 파형이 된다(그림 11). 이 때 시간의 단위는  $N/f_s(\text{sec}) = M/f_{nx} \approx (M_q + 1)/f_{nx}$ 이다.



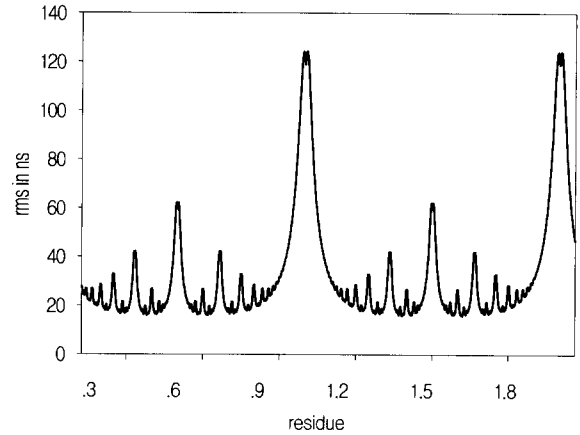
(그림 11) SRTS 지터 파형

### 5. SRTS 지터를 감소시키기 위한 방식

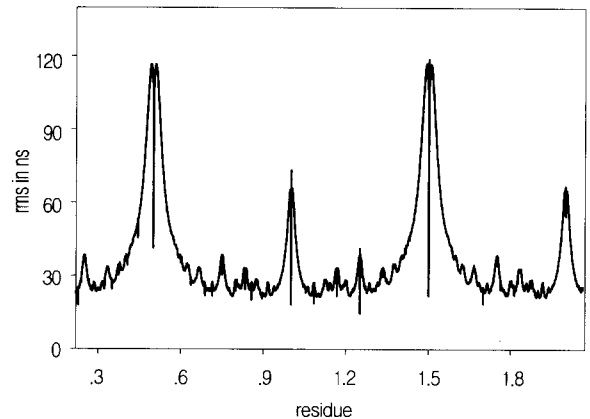
연구 [9]에서 SRTS 지터의 전력 스펙트럼을 분석하였는데, 충분히 저주파 필터링된 저주파 성분의 스타핑 지터와 서로 같은 특성을 가지는 것이 밝혀졌다. 그러므로 SRTS 지터의 감소를 위하여, 포인터 조정 지터의 감소를 위한 세 가지 방식을 검토한다. 4장에서 설명된 바와 같이, 분주비가  $M_q$  또는  $M_q + 1$ 로 분주된 클럭에서 소스 클럭을 재생하므로, 지터의 크기도 1 UI 이내이다. 클럭이 바이트 단위로 제어되는 것이 아니라, 결국 한 클럭 단위로 제어되므로, 비트 리킹 지터 감소 방식은 SRTS 방식과 관계가 없다.

본 논문에서는 STM 방식을 SRTS에 적용하기 위하여, 송신 측에서 샘플링 주기 N값을 3008로 일정하게 유지하지 않고 3007, 3009, 3007, 3009, 3007, 3009, ...로 반복 변화시키는 방법을 이용한다. 이렇게 N값을 변화시킴으로써, 지터가 저주파로 계속 조금씩 증가하는 경우에, 지터의 집진적인 연속성을 수시로 파괴시켜서 고주파의 지터가 발생할 것이다. 고정 비트율(CBR : Constant Bit Rate) 소스 클럭의 주파수  $f_s$ 로 T1 1.544MHz, E1 2.048MHz, T3 44.736MHz 그리고 E4 139.264MHz인 네 종류를 선정하였는데, 모두  $\pm 200\text{ppm}$ 의 주파수 편차가 허용된다[6]. 한편  $f_{nx}$ 는 2.43, 2.43, 77.76 그리고 155.52MHz가 각각 선정되었다. 그러므로 M값은 T1 소스 신호의 경우에 4733.1466~4735.0403, E4 경우에는 3358.4460~3359.7896 사이의 값을 가진다. 그러므로 나머지값(residue) R은 T1 경우 4733을 기준으로 할 때 0.1466~2.0403, E4 경우 3358을 기준으로 0.4460~1.7896 사이의 값을 가진다. N값을 3007, 3009, 3007, 3009, ...로 변화시킬

때 발생하는 지터가 컴퓨터 시뮬레이션에 의해 생성되었다. 이 지터는 수신 단말기에 있는 PLL에 의해 저역 필터링 되는데, 댐핑 계수가 1, 3-dB 대역폭이 T1 경우 20Hz, E4 경우 300Hz인 2차 PLL이 선정되었다.



(a) N = 3008



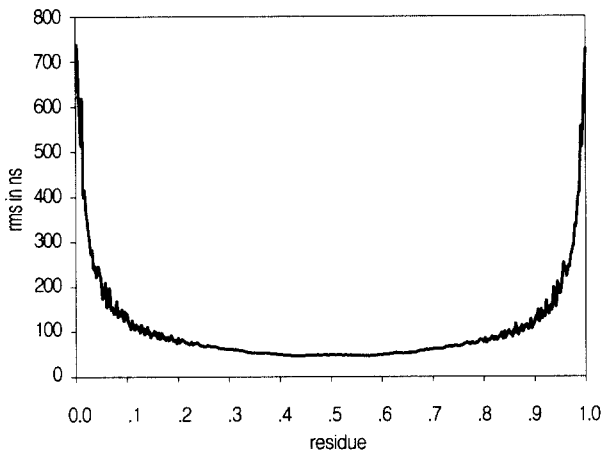
(b) N = 3007/3009

(그림 12) T1 소스 신호에 대하여 N값을 3008로 일정하게 하거나 또는 3007/3009로 가변 시킬 때 SRTS 장치에서 발생하는 지터의 나머지 R값에 따른 실험치

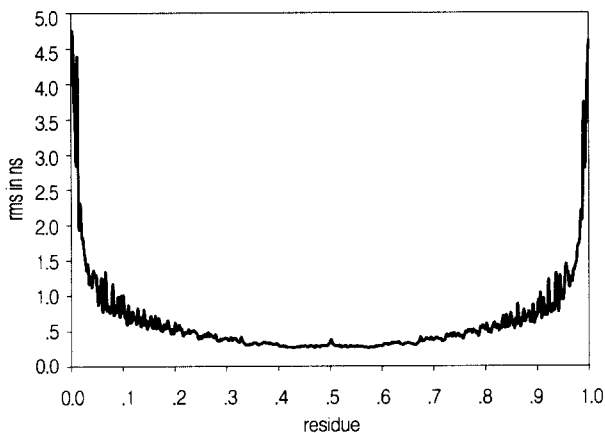
T1 소스 신호에 대하여 R값을 허용 범위에서 가변 시킬 때 발생하는 필터링된 지터의 rms값이 계산되어 (그림 12) (b)에 도시되었다. 이 때 (그림 12)(a)는 N을 3008로 일정하게 유지한 기존의 SRTS 방식에서 발생하는 지터의 rms값이다. (그림 12)에서 비교되듯이 N값을 변화시키는 방식에서 기존의 방식보다 R값에 따라서 작거나 또는 큰 크기의 지터가 발생한다. 모든 R값에 대한 평균적인 rms값의 크기는 N값을 일정하게 할 때 T1은 32.4ns, E4는 0.15ns이다. N값을 3007, 3009로 가변 시킬 때 T1은 37.05ns, E4는 0.17ns로 기존의 방식과 비슷한 크기의 지터가 발생한다. 이 때 N값을 3007, 3008, 3009, 3007, 3008, 3009, ...로 반복 변화시키면 3007/3009 경우보다 변화 속도가 더 늦어지므로 더 저주파 지터가 발생하며, T1의 경우에 이 지터의 모든 R값

에 대한 평균적인 rms값은 43.06ns로 더 크다.

SRTS 클럭 재생 장치가 (그림 8)과 같은 2차 시그마-델타 변조기의 구조를 가질 때 발생하는 지터가 컴퓨터 시뮬레이션에 의하여 분석되었다. 정/영/부 위치 맞춤을 사용하는 포인터 조정 장치와 다르게, SRTS 장치에서는 출력 신호 Y의 크기가 상한 한계치를 초과할 때만 +임펄스가 발생되며 -임펄스는 발생되지 않는다. SRTS 장치에서는  $N = 3008$ 로 분주된 소스 클럭의 에지 때마다 노드 클럭의 갯수가 샘플링 된다. 따라서 SDM 변조기가 동작되는 클럭 간격  $\tau$ 는 T1은 1948ns, E4는 22ns이다. 변조기에 공급되는 직류 신호의 크기 x는 SRTS 장치에서 R값에 해당된다. (그림 5)(a), (그림 5)(b)에 2차 SDM 방식을 적용한 방식에서 발생하는 SRTS 지터의 R값에 따른 rms값이 도시되었다. 0.0에서 1.0 사이의 R값에 대한 rms값의 평균 값은 T1 경우 106.2ns, E4 경우 0.64ns로 기존의 방식에서 보다 더 큰 크기의 지터가 발생하며, R값이 0.0이나 1.0 근처일 때 특히 매우 큰 크기의 지터가 발생한다.



(a) T1 소스 신호



(b) E4

(그림 13) SDM 방식을 이용한 SRTS 장치에서 발생하는 필터링된 지터의 나머지 R값에 따른 실효치

## 6. 결 론

SRTS 지터와 포인터 조정 지터의 감소 방식에 대하여 연구하였다. 먼저, 스타핑 지터를 감소시키기 위하여 여러 연구들에서 제시되었던 비트 리킹, STM, SDM 방식을 실제 포인터 조정 장치에 적용하여, 이 때 발생하는 지터의 성질들을 분석하였다. 비트 리킹 방식을 사용 시에는 포인터 조정 시간 간격 보다 짧은 시간 내에 비트 리킹이 완료되어야 한다. STM 방식을 적용 시에는 매 4번째 포인터 조정 시간 간격마다 강제적으로 스타핑 조정을 시키는 것이 유리하다는 것을 밝혔으며, 이 경우에 발생하는 지터를 분석하였다. 아울러 지금까지 이론적으로만 제시되었던 SDM 방식을 실제 시스템에 구체적으로 적용시키는 방법을 제시하고 이 시스템에서의 지터를 분석하였다.

분석 결과, 기존의 방식에서 발생하는 포인터 조정 지터의 평균적인 rms값은 38.4ns이며, 이에 비하여 비트 리킹 방식에서는 10.5ns, STM 방식에서는 18.5ns, SDM 방식에서는 19.1ns로 지터의 크기가 감소하였다. STM 방식에서는 노드 클럭들이 서로 동기되어 지터가 발생되지 않는 경우에도 강제로 큰 크기의 지터가 발생된다. 또한 SDM 방식은 시스템의 구조가 매우 복잡해지는 문제가 있다. 그러므로 지터가 기존의 시스템 보다 약 1/4의 크기로 작게 발생되며 실현이 간단한 비트 리킹 방식이 포인터 조정 지터의 감소에 유리한 것으로 분석되었다.

SRTS 지터와 포인터 조정 지터는 그 발생 메커니즘이 유사하므로 발생하는 지터의 성질도 서로 비슷하다. 따라서 포인터 조정 지터의 감소 방식들을 SRTS 지터를 감소시키기 위하여 도입하였다. STM 방식을 SRTS 장치에 적용하고자, 샘플링 주기 N을 3007, 3009, 3007, 3009, ...로 반복 변화시키는 간단한 방법을 본 논문에서 제시하였다. 이 때 발생하는 지터는 그 크기가 기존의 SRTS 지터에 비해서 나머지값 R에 따라서 작거나 또는 큰 것으로 분석되었으며, 모든 R값에 대한 평균적인 rms값의 크기는 서로 비슷하였다. 그러므로 N값을 변화시키는 STM 방식을 이용하면서, 아울러 소스 클럭의 주파수 허용 편차를 더 작게 설정하여 지터가 작게 나타나는 R값으로 시스템이 동작 되도록 하면 작은 크기의 지터가 발생된다. 한편, 2차 SDM 방식을 이용한 SRTS 장치에서 발생하는 지터는 기존의 SRTS 지터보다 그 크기가 더 큰 것으로 밝혀졌다.

## 참 고 문 헌

- [1] ITU-T Rec., G.707, G.708 and G.709, 1996.
- [2] D. L. Duttweiler, "Waiting Time Jitter," Bell Syst. Tech. J., Vol.51, pp.165-207, Jan., 1972.
- [3] R. G. Kusyk, W. A. Krzymien and T. E. Moore, "Analysis of Techniques for the Reduction of Jitter caused by SONET

Pointer Adjustments," IEEE Trans. Commun., Vol.42, No.2, pp.2036-2050, Feb., 1994.

[4] W. D. Grover, T. E. Moore, J. A. McEachern, "Waiting Time Jitter Reduction by Synchronizer Stuff Threshold Modulation," Proc. of IEEE GLOBECOM '87, Vol.1, pp.514-518, Nov., 1987.

[5] R. Urbansky, "Simulation Results and Failed Trial Experiment of Justification Jitter," Proc. of 6th World Telecomm. forum, Vol. III, pp.45-49, Oct., 1991.

[6] ITU-T Rec. I.363.1, "B-ISDN ATM Adaption Layer (AAL), Types 1 and 2 specification," Aug., 1996.

[7] R. C. Lau and P. E. Fleischer, "Synchronous Techniques for Timing Recovery in BISDN," IEEE Trans. Commun., Vol.43, No.2/3/4, pp.1810-1818, Feb./Mar./Apr., 1995.

[8] K. Murakami, "Jitter in Synchronous Residual Time Stamp," IEEE Trans. Commun., Vol.44, No.6, pp.742-748, June, 1996.

[9] S. K. Choi, "Analysis of Jitter Generated in SRTS Method,"

Electronics Letters, Vol.34, No.12, pp.1184-1185, June, 1998.

[10] J. C. Candy, "A Use of Double Integration in Sigma Delta Modulation," IEEE Trans. Commun., Vol.33, No.3, pp.249-258, March, 1985.

[11] J. E. Iwerson, "Calculated Quantizing Noise of Single-Integration Delta-Modulation Coders," Bell Syst. Tech. J., Vol.48, pp.2359-2389, Sept., 1969.



### 최 승 국

e-mail : skchoi@incheon.ac.kr

1974년 연세대학교 전자공학과(공학사)

1981년 연세대학교 대학원 전자공학과  
(공학석사)

1988년 독일 Braunschweig 대학교 전자  
공학과(공학박사)

1978년~1981년 한국전자통신연구소 연구원

1989~현재 인천대학교 정보통신공학과 교수

관심분야 : 디지털 통신시스템, 동기(synchronization)