

모바일 초음파 영상신호의 빔포밍 알고리즘을 위한 멀티코어 프로세서 구현

최 병 국[†] · 김 중 면^{††}

요 약

과거에는 환자가 초음파 영상진단장치가 설치되어 있는 방에 가서 진단을 받았지만, 현재는 의사가 초음파 영상 진단장치를 가지고 이동하면서 환자를 진단(모바일 초음파, handheld ultrasound)할 수 있는 시대가 왔다. 그러나 초음파 영상진단장치로서의 기본적인 기능만을 구현하였으며, 초음파 영상의 질을 결정하는 초음파 빔의 포커싱 알고리즘에서 요구되는 고성능을 만족하지 못하는 실정이다. 또한 모바일 기기의 경우 저전력의 요구조건도 만족하여야 한다. 이를 위해 본 논문에서는 모바일 초음파 영상신호의 포커싱을 위한 방법 중 대표적인 빔포밍 알고리즘(Beamforming Algorithm)을 고성능, 저전력으로 처리 가능한 단일 명령어 다중 데이터(Single Instruction Multiple Data, SIMD)기반의 멀티코어 프로세서를 제안한다. 제안한 SIMD기반 멀티코어 프로세서는 16개의 프로세싱 엘리먼트(Processing Element, PE)로 구성되어 있으며, 초음파의 에코 영상데이터에 내재한 무수한 데이터 레벨 병렬성을 활용하여 빔포밍 알고리즘에서 요구되는 고성능을 만족시킨다. 모의실험 결과, 제안한 멀티코어 프로세서는 현재 상용 고성능 프로세서인 TI DSP C6416보다 평균 15.8배의 성능, 6.9배의 에너지 효율 및 10배의 시스템 면적 효율을 보였다.

키워드 : 빔포밍 알고리즘, 모바일 초음파, SIMD기반 멀티코어 프로세서, 데이터 레벨 병렬성

Implementation of Multi-Core Processor for Beamforming Algorithm of Mobile Ultrasound Image Signals

Byong-Kook Choi[†] · Jong-Myon Kim^{††}

ABSTRACT

In the past, a patient went to the room where an ultrasound image diagnosis device was set, and then he or she was examined by a doctor. However, currently a doctor can go and examine the patient with a handheld ultrasound device who stays in a room. However, it was implemented with only fundamental functions, and can not meet the high performance required by the focusing algorithm of ultrasound beam which determines the quality of ultrasound image. In addition, low energy consumption was satisfied for the mobile ultrasound device. To satisfy these requirements, this paper proposes a high-performance and low-power single instruction, multiple data (SIMD) based multi-core processor that supports a representative beamforming algorithm out of several focusing methods of mobile ultrasound image signals. The proposed SIMD multi-core processor, which consists of 16 processing elements (PEs), satisfies the high-performance required by the beamforming algorithm by exploiting considerable data-level parallelism inherent in the echo image data of ultrasound. Experimental results showed that the proposed multi-core processor outperforms a commercial high-performance processor, TI DSP C6416, in terms of execution time (15.8 times better), energy efficiency (6.9 times better), and area efficiency (10 times better).

Keywords : Beamforming Algorithm, Mobile Ultrasound, SIMD Based Multi-core Processor, Data Level Parallelism

1. 서 론

초음파를 이용하여 인체의 단면 영상을 얻는 초음파 영상 진단장치는 인체에 해가 없을 뿐만 아니라 실시간 영상이 가능한 장점으로 오래 전부터 많은 연구가 진행되어 왔다. 이와 같은 초음파 영상진단장치의 장점을 극대화한 것이 모바일 초음파(handheld ultrasound)이다[1]. 특히, 초음파 영상의 질을 결정하는 가장 중요한 요소 중 하나인 측방향 해

* 이 논문은 2011년도 현대중공업 지원에 의한 울산대학교 전기공학부 일류화 연구비에 의하여 연구되었음.

† 준 회 원 : 울산대학교 컴퓨터정보통신공학부 석사과정

†† 정 회 원 : 울산대학교 컴퓨터정보통신공학부 교수(교신저자)

논문접수 : 2010년 12월 10일

수정일 : 1차 2011년 1월 31일

심사완료 : 2011년 2월 1일

상도를 향상시키는 연구가 많이 진행되었다. 측 방향 해상도는 초음파 빔의 포커싱(Focusing)에 의해 결정되기 때문에 많은 포커싱 방법들이 등장하였다[2-5]. 초음파 신호는 서로 다른 매질의 경계면에 반사되어 되돌아오는 과정에서 지연시간이 발생해 동일 시점의 신호들이 서로 다른 시간에 도달한다. 따라서 반사된 신호는 포커싱 과정을 통해 정렬할 필요성이 있는데 이러한 정렬 과정을 빔포밍(Beamforming)이라 한다[1]. 하지만 포커싱을 위한 빔포밍 기법은 상당한 양의 연산과 입출력 처리를 요구한다. 또한 모바일 초음파의 경우, 고성능 뿐만 아니라 저전력에 대한 수요도 증가하고 있다.

주문형반도체(Application-Specific Integrated Circuit, ASIC)는 이러한 모바일 초음파 애플리케이션에서 요구되는 고성능, 저전력을 충족시킬 수 있지만 다양한 애플리케이션에서 요구되는 범용성을 만족시키지 못한다[6-8].

반면에 범용 마이크로프로세서(General-Purpose Processor, GPP)나 DSP(Digital Signal Processor)들은 다양한 초음파 애플리케이션에 대해 충분한 범용성을 제공하지만, 초음파 애플리케이션에서 요구되는 높은 레벨의 성능을 만족시키지 못한다. 왜냐하면 GPP나 DSP는 프로세서 구조의 특성상 이와 같은 초음파 영상처리 애플리케이션에 내재한 고도의 데이터 병렬성(Massive Data Parallelism)을 활용하지 못하기 때문이다.

고성능 초음파 영상처리를 위한 대안 중에 하나로 SIMD(Single Instruction Multiple Data)기반 멀티코어 프로세서 아키텍처가 유망하다[9-10]. 명령어 레벨(instruction-level)이나 스레드 레벨(thread-level) 프로세서들은 실리콘 면적을 멀티포트 레지스터 파일(multiported register file), 캐쉬(cache), 파이프라인(deep pipelined) 기능 유닛 등으로 사용하는 반면, SIMD기반 멀티코어 프로세서는 여러 개의 저비용 프로세싱 엘리먼트(Processing Element, PE)들을 이용하여 고성능을 추구하고 동시에 저장장소와 데이터 통신 요구를 최소화하기 위해 프로세싱 엘리먼트와 데이터 입출력을 동일위치에 배치함으로써 저전력을 만족시킨다[11]. 특히, SIMD기반 멀티코어 프로세서는 지역성(Locality)이나 규칙성(Regularity)이 있는 2차원 패턴의 이미지나 비디오 픽셀 처리에 있어서 최적의 프로세서 구조이다.

본 논문에서는 반사된 초음파 영상신호의 빔포밍 기법 중 하나인 PSDF(Pipelined Sampling Delay Focusing)[12] 기법을 실시간으로 처리하기 위해 SIMD기반 멀티코어 프로세서를 제안한다. 제안한 SIMD기반 멀티코어 프로세서는 16개의 프로세싱 엘리먼트로 구성되어 있으며, 각각의 프로세싱 엘리먼트는 자신에게 균등하게 할당된 초음파 데이터를 동시에 처리함으로써 고성능을 추구한다. 본 논문에서는 현재 Sonosite사의 M-Turbo 휴대용 초음파 기기에 사용되고 있는 고성능 프로세서인 TI DSP C6416[13], ARM926EJ-S[14], ARM1020E[15]와의 성능을 비교하여 잠재가능성을 보이고자 한다. 모의실험 결과, 제안한 멀티코어 프로세서는 TI DSP C6416과 비교하여 평균 15.8배의 성능, 6.9배의 에너지 효율 및 10배의 시스템 면적 효율을 보였다.

본 논문의 구성은 다음과 같다. 2장에서는 관련 연구에 대해 소개하고, 3장에서는 초음파 영상진단 시스템을 소개한다. 4장에서는 제안한 멀티코어 프로세서 모델 및 실험 방법론을 소개하고, 5장에서는 시뮬레이션 결과와 성능 분석에 대해 설명한다. 끝으로 6장에서는 이 논문의 결론을 맺는다.

2. 관련연구

멀티미디어 애플리케이션에 대한 데이터 레벨 병렬성(Data-Level Parallelism, DLP)에 관한 연구는 크게 두 개의 연구 그룹으로 나누어진다: (1) 현재의 SIMD 명령어를 이용하여 성능을 향상시키는 그룹 [16-18]과 (2) SIMD기반 병렬 프로세서를 이용하여 성능을 향상시키는 그룹 [10],[19-24]. 많은 연구 그룹 혹은 개인들이 범용 마이크로프로세서에서 멀티미디어 애플리케이션에 대한 SIMD 명령어의 효율성에 대하여 분석하였다. [16]에서는 UltraSPARC 프로세서에서 이미지와 비디오 처리에 대한 VIS 명령어의 효율성을 기술하였다. 4-way out-of-order 프로세서는 single in-order 프로세서보다 2.3배~4.2배의 성능을 향상시켰고 더불어 VIS(Visual Instruction Set) 명령어는 1.1배~4.2배의 성능을 더 향상시켰다. [17]에서는 DSP와 멀티미디어 애플리케이션에 대한 MMX 명령어의 성능 평가를 기술하였다. MMX 명령어는 81%의 다이내믹 명령어를 감소시켜 평균 5.5배의 성능 향상을 보였다. 이러한 결과에서 보는 바와 같이 SIMD 명령어는 적당한 수준의 성능을 향상시킨다. 하지만 멀티미디어 애플리케이션에 내재한 완전한 데이터 병렬성을 얻지 못하기 때문에 다양한 형태의 멀티미디어에서 요구되는 상당한 양의 성능 요구를 만족시키지 못할 것이다.

SIMD기반 병렬 프로세서는 공간적 병렬성(Spatial Parallelism)을 실현하기 위해 여러 개의 동기화된 프로세싱 유닛(Processing Unit)들을 사용한다. 이 유닛들은 하나의 제어 유닛으로부터 동시에 전송되는 동일한 연산 명령을 서로 다른 데이터에 대하여 수행한다. 따라서 데이터 병렬 모델을 이용하여 성능을 향상시킨다. 고도 데이터 병렬 어레이(Massively Data Parallel Array)들은 거의 30년 동안 이미지 처리에 사용되어 왔지만, 초기의 SIMD기반 병렬 프로세서(TMC Connection Machine 1[20])는 I/O 테크놀로지에 의해 제한되었다. 이후의 SIMD 병렬 프로세서인 TMC CM-2[21]와 MasPar MP-2[22]는 버퍼 이미지의 큰 병렬 디스크 어레이의 사용을 통해 이러한 제한을 극복하였지만 큰 비용과 휴대성에서 문제가 있다. Fine-grained 병렬 프로세서인 MGAP[23]와 ABACUS[24]는 이러한 휴대성 이슈를 해결하였지만, 그들의 성능은 I/O bandwidth와 latency에 의해 제한되었다.

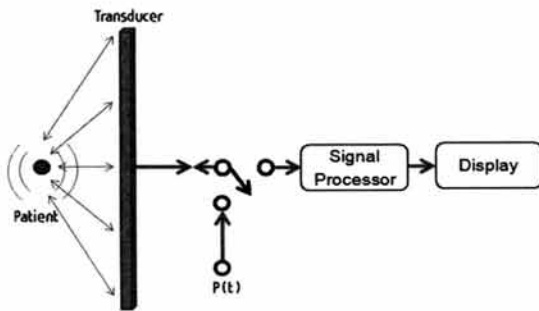
이러한 기존의 병렬 프로세서와 다르게, 본 논문에서 모의실험을 위해 사용한 SIMD기반 멀티코어 프로세서는 프로세서와 센서의 직접적 연결을 통해 I/O 대역의 문제를 해결

하고, 또한 짧은 와이어의 사용으로 높은 면적과 에너지 효율을 보이는 동시에 많은 데이터에 동일한 명령어를 수행하여 고성능을 추구한다.

3. 초음파 영상진단 시스템

3.1 초음파 영상 진단 시스템의 기본 원리

(그림 1)은 초음파 영상 진단 시스템의 기본적인 블록 다이어그램을 보여준다. 송신 펄스 (transmit pulse) $P(t)$ 에 의해 전달된 전기 신호는 트랜스듀서(Transducer)를 통해 초음파로 변환하는 동시에 인체의 내부로 초음파를 전달하고, 서로 다른 매질의 경계에서 반사되어 되돌아오는 초음파 신호는 트랜스듀서에 의해 다시 전기적인 신호로 변환된다. 수신된 신호는 신호처리 프로세서(Signal Processor)에서 여러 가지의 신호처리를 한 후, 모니터를 통하여 디스플레이 된다[25-26].

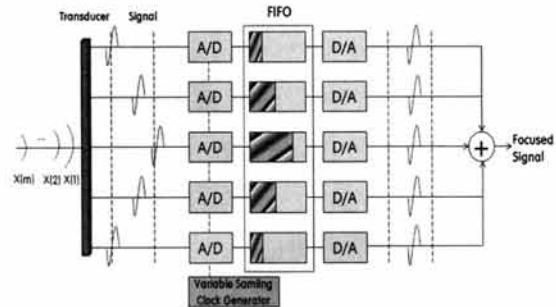


(그림 1) 초음파 영상진단장치의 블록 다이어그램

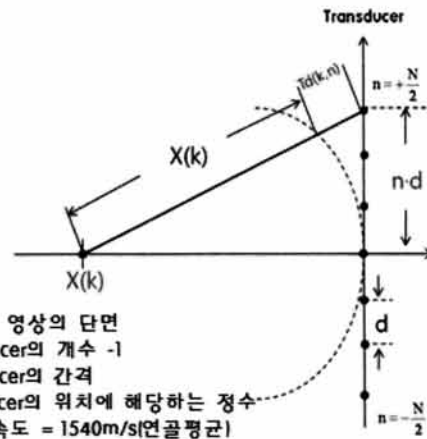
3.2 초음파 신호의 빔포밍 기법

초음파 영상진단 시스템에서 반사된 초음파 신호는 내장된 신호처리 프로세서를 이용하여 포커싱(focusing)을 위한 빔포밍(Beamforming) 기법을 수행한다. 트랜스듀서에서 같은 시간에 전달된 초음파 신호가 인체를 통과하면서 서로 다른 매질로 이루어진 경계면에 반사되어 다시 트랜스듀서로 되돌아온다. 반사되어 돌아오는 과정에서 지연시간이 발생해 서로 다른 시간에 되돌아오게 된다. 같은 시점에 발사된 초음파 신호가 서로 다른 지연시간을 가지므로 그 지연시간만큼 보상해주는 기법을 빔포밍이라 한다. (그림 2)는 빔포밍 기법 중 각 채널(channel)의 샘플링 클럭(sampling clock)에 각각 적당한 시간지연을 가한 후, FIFO (First-In First-Out)와 덧셈기(Adder)를 통해 포커싱이 수행되는 PSDF(Pipelined Sampling Delay Focusing)기법의 블록 다이어그램을 보여준다[1].

(그림 2)와 같이 영상의 단면 $X(1)$ 에 의하여 트랜스듀서의 각 변환 소자에서 출력된 샘플링 값은 FIFO 버퍼의 첫 영역에 저장되고, $X(2)$ 는 두 번째 영역에 저장되며, $X(m)$ 까지 각 샘플링 값들은 순차적으로 FIFO 버퍼 영역에 저장된다. 서로 다른 시간에 도달한 초음파 신호를 지연시간만큼 보상하여 가산기에 출력하면 포커싱된 영상을 모니터에 출력할 수 있다. (그림 3)은 지연시간 T_d 를 표현하는 방법을 보여준다.



(그림 2) PSDF 기법의 블록 다이어그램



(그림 3) 반사된 초음파 신호의 지연시간

지연시간 T_d 는 식 (1)과 같이 표현된다.

$$T_d = \frac{[X(k)^2 + (n \cdot d)^2]^{\frac{1}{2}} - X(k)}{V} \quad (1)$$

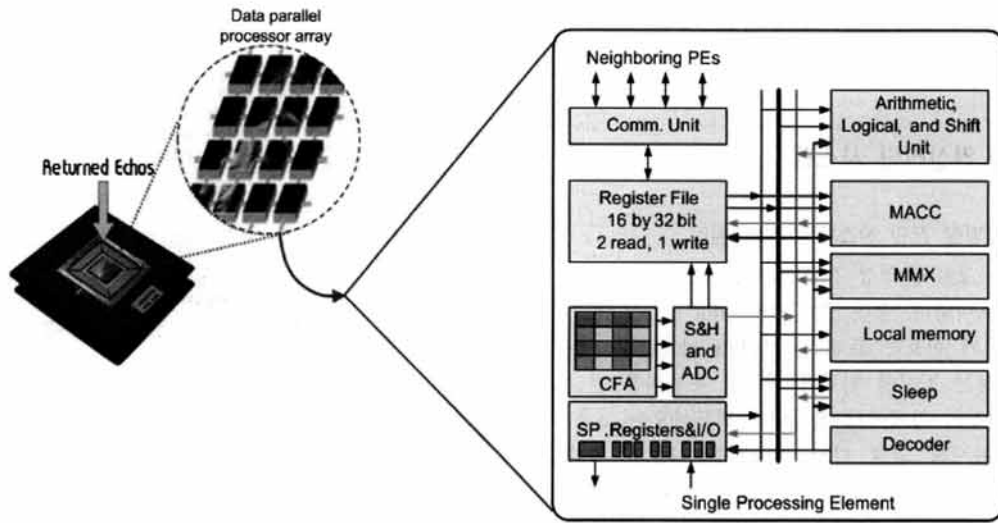
여기서, $X(k)$ 는 k 번째 영상의 단면이며, n 은 트랜스듀서의 위치에 해당하는 정수를 나타내며, d 는 트랜스듀서의 간격, V 는 초음파속도를 나타낸다.

4. 멀티코어 프로세서 모델 및 실험방법론

4.1 SIMD기반 멀티코어 프로세서 모델

(그림 4)는 SIMD기반 멀티코어 프로세서 아키텍처의 블록 다이어그램을 보여준다. 제안한 멀티코어 프로세서는 16개의 프로세싱 엘리먼트와 이를 제어하는 Array Control Unit(ACU)으로 구성되어 있고, 데이터가 각각의 프로세싱 엘리먼트에 균등하게 분배되면 프로세싱 엘리먼트들은 메쉬 배열 구조에서 명령어들을 동시에 수행한다. 각 프로세싱 엘리먼트는 다음과 같은 특징을 가진다.

- 32비트 폭의 4096개 워드로 구성된 로컬 메모리
- 32비트 폭의 16개 3포트 범용 레지스터
- 기본적인 산술/논리 연산을 수행하는 ALU
- 64비트 곱셈 및 누산기(Multiply Accumulator)
- 멀티 비트 산술/논리 시프트 연산을 수행하는 배럴 시프터(Barrel Shifter)

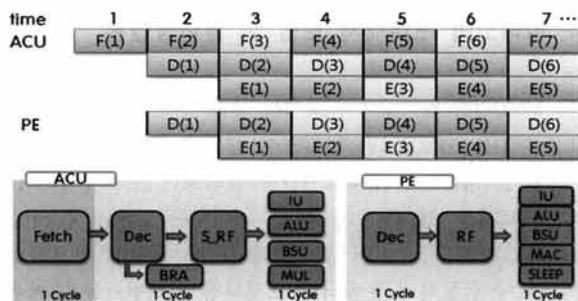


(그림 4) SIMD기반 멀티코어 프로세서 아키텍처와 싱글 프로세싱 엘리먼트

- 지역 정보를 이용해 각 PE들을 활성화 및 비활성 시키는 Sleep 유닛
- 이웃하는 PE들과 데이터 통신을 위한 NEWS(North-East-West-South) 네트워크 및 serial I/O 유닛

4.2 멀티코어 프로세서의 파이프라이닝

(그림 5)와 같이 SIMD기반 멀티코어 프로세서는 패치(Fetch), 디코더(Decode), 실행(Execution)의 3단계 파이프라인 구조로 설계되었다. 1단계에서는 ACU가 명령어 메모리로부터 명령어(Instruction)을 가져온다. 2단계에서는 ACU의 디코더 유닛이 ACU에서 수행되는 스칼라(Scalar)명령어인지 PE에서 수행되는 벡터(Vector)명령어인지를 구분하여 BusA, BusB, BusC의 각 포트에 해당되는 레지스터 주소 및 Immediate값을 할당한다. 마지막 3단계에서는 명령어가 각 유닛들의 컨트롤 신호에 의해 실행된다.



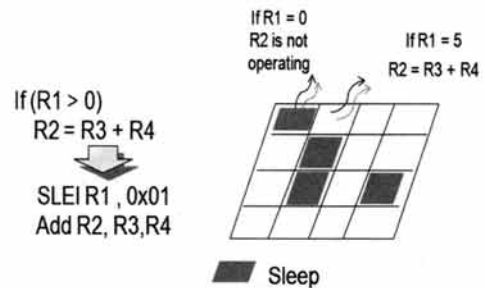
(그림 5) ACU와 PE의 파이프라인 단계

4.3 SIMD기반 멀티코어 프로세서 모델

제안하는 SIMD기반 멀티코어 프로세서의 명령어 종류에는 9가지 형태의 명령어가 존재하는데 산술, 논리, 시프트(Shift), 곱셈, 메모리 명령어, 데이터 지역성의 조건에 따라 PE를 활성화시키는 sleep 명령어, 인접 PE와 외부I/O와 통신하는 NEWS 명령어, 프로그램을 분기하는 분기 명령어,

ACU의 연산을 담당하는 스칼라 명령어가 있다.

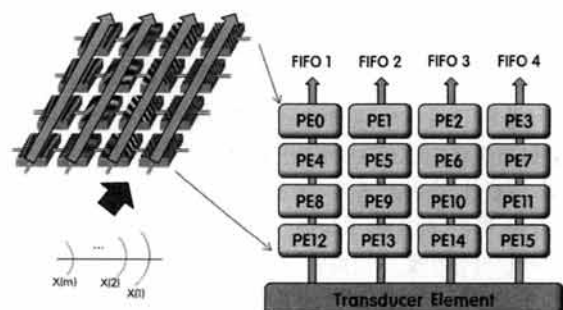
(그림 6)은 SIMD기반 멀티코어 프로세서의 각 PE가 데이터 지역성의 정보 조건에 따라서 실행하는 모습을 보여준다. 두 사이클이 소요되는 Branch와 MACC(Multiply Accumulator) 명령어를 제외한 모든 명령어들은 한 사이클로 동작한다. Branch 명령어의 경우, 분기 예측이 디코더 단계에서 수행되기 때문에 두 사이클이 소요된다.



(그림 6) Sleep 명령어를 사용한 PE 활성화

4.4 SIMD기반 멀티코어 프로세서를 이용한 초음파의 빔포밍 기법 구현

(그림 7)은 제안한 SIMD기반 멀티코어 프로세서를 이용하여 빔포밍 방법 중 하나인 PSDF 기법을 구현한 개념도를 보여준다.

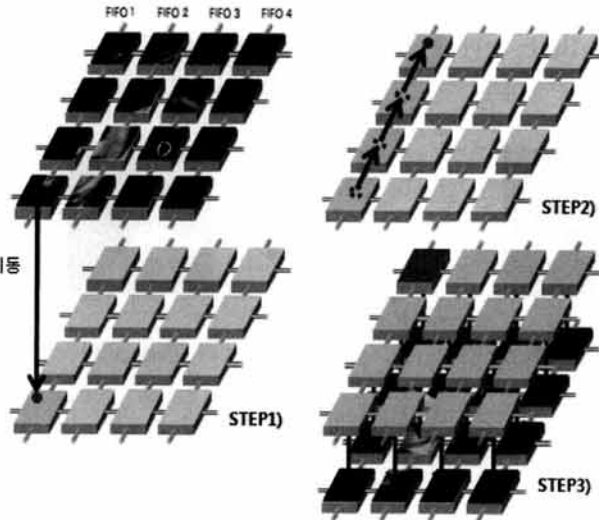


(그림 7) 빔포밍 기법을 위한 SIMD기반 멀티코어 프로세서

REPEAT 초음파 영상의 모든 픽셀 데이터 참조
 반사된 초음파 영상을 각 지역 PE에 저장
 A/D에서 입력받은 지연시간을 각 지역 PE의 Local Memory에 저장
END REPEAT

REPEAT 모든 FIFO축의 픽셀 동작
IF 각 FIFO가 지연시간만큼 이동이 모두 완료되지 않은 경우 **THEN**
 각 FIFO내 데이터는 Local Memory의 해당 지연시간만큼 Y축 위쪽 PE로 이동
 이동 후 데이터는 그 지역 PE의 Local Memory에 저장
END IF
END REPEAT

각 FIFO에 저장된 초음파 영상을 가산기로 전달
 영상 출력 확인



(그림 8) PSDF 기법의 의사코드와 그에 따른 각 PE의 동작 과정

(그림 7)에서 X(1)부터 X(m)까지 반사된 초음파 신호를 16개의 PE에 저장하여 PSDF 기법을 동시에 수행한다. 기존 초음파 영상진단장치에 사용되는 신호처리 프로세서의 경우, 영상의 단면을 FIFO로 저장할 때 입력되는 영상 신호를 순차적으로 처리하지만, 제안한 SIMD기반 멀티코어 프로세서의 경우는 영상의 단면을 모두 저장한 후 각 지연시간만큼 동시에 계산하여 해당위치로 이동시킨다. 따라서 기존의 신호처리 프로세서에서 포커싱을 순차적으로 진행하는 방식과 다르게, SIMD기반 멀티코어 프로세서에서는 16개의 PE가 포커싱을 동시에 처리함으로써 성능을 향상시킬 수 있다. (그림 8)은 빔포밍의 PSDF 기법의 의사코드(Pseudocode)와 그에 따른 각 PE의 동작 과정을 보여준다.

STEP 1)에서는 반사된 초음파 영상 신호와 A/D를 통해 입력받은 지연시간을 각 PE의 로컬메모리에 저장한다. 모든 초음파 영상이 순차적으로 PE에 저장될 때 까지 진행된다.

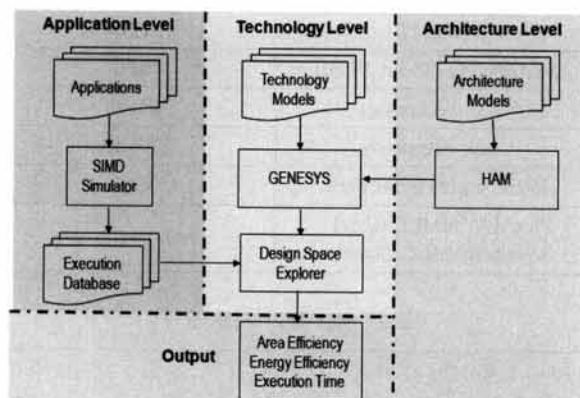
STEP 2)에서는 각 PE들의 로컬 메모리에 저장된 초음파 영상 신호를 해당 지연시간만큼 Y축 위쪽 PE로 이동한다. 각 초음파 영상 신호는 해당 지연시간만큼 이동 후 도착한 PE의 로컬메모리에 저장된다. 모든 FIFO축의 각 초음파 영상 신호들이 해당 지연시간만큼 이동될 때 까지 진행된다.

STEP 3)에서는 해당 지연시간만큼 이동한 초음파 영상 신호들의 가산 연산이 수행된 후, 영상공간에 출력된다. 위의 모든 동작은 16개의 PE에서 동시에 수행되며, 한 단면의 초음파 영상 신호가 완료되면 다음 신호를 입력받아 위의 과정을 반복한다.

4.5 실험방법론

(그림 9)는 세 가지 레벨(애플리케이션, 아키텍처, 테크놀로지)로 구성되어 있는 SIMD기반 멀티코어 프로세서의 실험 방법론이다. 애플리케이션 레벨에서는 명령어 레벨의 SIMD 병렬 프로세서용 정밀 사이클 시뮬레이터((SIMD-Multicore 시뮬레이터)를 이용하여 빔포밍 알고리즘에서 요

구되는 사이클 개수, 동적 명령어 빈도, 프로세싱 엘리먼트 이용률(Utilization) 등의 실행 데이터를 추출한다. 아키텍처 레벨에서는 모델링된 아키텍처의 디자인 변수들을 계산하기 위해 Chai가 제안한 SIMD 병렬 프로세서용 이중 아키텍처 모델링 툴을 사용하였다[27]. 테크놀로지 레벨에서는 아키텍처 레벨에서 구해진 디자인 변수들을 Generic System Simulator (GENESYS)[28]의 입력으로 사용하여 각 아키텍처 모델들의 테크놀로지 변수(Latency, Power, Clock frequency)를 계산하였다. 마지막으로 세 레벨에서 구해진 데이터베이스를 조합하여 각 경우에 대한 실행시간, 에너지 효율, 시스템 면적 효율을 결정하였다.



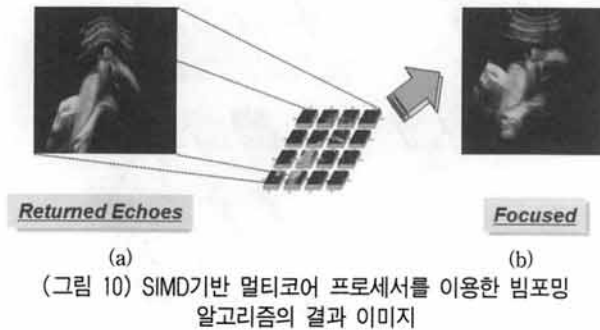
(그림 9) SIMD기반 멀티코어 프로세서 시뮬레이션을 위한 실험방법론

5. 모의실험 결과 및 성능 분석

5.1 멀티코어 프로세서를 이용한 빔포밍 알고리즘의 결과

(그림 10)은 SIMD기반 멀티코어 프로세서가 반사된 초음파 영상 신호를 입력받아 빔포밍 알고리즘을 수행한 결과 이미지를 보여 준다. 반사된 초음파 영상 신호는 지연시간

으로 인해 영상이 휘어진 형태로 나타나며 (그림 10-(a)), (그림 10-(b))는 멀티코어 프로세서를 이용하여 PSDF 기법을 수행한 포커싱된 결과 이미지를 보여준다.



5.2 멀티코어 프로세서의 파라미터 및 성능 평가 지표

<표 1>은 제안한 SIMD기반 멀티코어 프로세서의 파라미터를 보여주며, 성능분석을 위해 SIMD기반 멀티코어 프로세서용 정밀 사이클 (cycle-accurate) 시뮬레이터를 사용하였다. 초음파 신호의 빔포밍 알고리즘을 수행하기 위해 16개의 프로세싱 엘리먼트를 메쉬 구조로 구성하였으며, 각각의 프로세싱 엘리먼트는 자신에게 균일하게 분배된 초음파와 영상 신호를 동시에 처리한다. 선택된 알고리즘의 완벽한 수행을 위해 각 프로세싱 엘리먼트는 4096개의 32비트 워드 메모리가 요구되었으며, 130nm 테크놀로지와 720MHz 클럭 주파수를 사용하여 시뮬레이션 하였다.

<표 1> SIMD기반 멀티코어 프로세서의 파라미터

Parameter	Value
Number of PEs	16
Pixels/PE	4096
Memory/PE [32-bit Word]	4096
VLSI Technology	130nm
Clock Frequency	720MHz
Interconnection Network	Mesh
IntALU/intMUL/Barrel Shift/intMACC/Comm	1/1/1/1/1

<표 2> 성능 평가 지표 요약

실행시간 (Execution Time)	$t_{exec} = \frac{C}{f_{ck}}$
처리량 (Sustained Throughput)	$Th_{sust} = \frac{O_{exec} \cdot U \cdot N_{PE}}{t_{exec}} [\frac{Gops}{sec}]$
에너지 효율 (Energy Efficiency)	$\eta_E = \frac{O_{exec} \cdot U \cdot N_{PE}}{Energy} [\frac{Gops}{Joule}]$
시스템 면적 효율 (Area Efficiency)	$\eta_A = \frac{Th_{sust}}{Area} [\frac{Gops}{s \cdot mm^2}]$
C : 사이클 개수, f_{ck} : 클럭 주파수, O_{exec} : 수행된 연산 개수 U : 프로세싱 엘리먼트 이용률, N_{PE} : 프로세싱 엘리먼트의 개수	

<표 2>는 제안한 멀티코어 프로세서의 성능 평가를 위해 사용된 4가지 성능 평가 지표를 보여준다. 실행 시간 (Execution Time)은 빔포밍 알고리즘이 수행된 시간을, 처리량 (Sustained Throughput)은 단위 시간당 처리되는 명령어 개수(Giga-operations/second)를, 에너지 효율(Energy Efficiency)은 단위 에너지당 소비된 명령어 개수를 나타내고, 시스템 면적 효율(Area Efficiency)은 단위 시스템 면적당 소비된 명령어 개수를 나타낸다.

5.3 성능 평가 결과 및 분석

본 논문에서는 기존의 고성능 프로세서인 TI C6416, ARM926EJ-S, ARM1020E와의 성능 비교를 통해 제안하는 SIMD기반 멀티코어 프로세서의 잠재 가능성을 보여주고자 한다. 따라서 공정한 성능 평가를 위해 제안한 멀티코어 프로세서와 고성능 프로세서들을 동일한 130nm 테크놀로지와 720MHz 클럭주파수로 실험하였다. 제안한 멀티코어 프로세서는 16개의 프로세싱 엘리먼트(PE)를 사용하여 데이터 레벨 병렬성(Data-Level Parallelism)을 추구하는 반면, TI C6416은 8-way VLIW (Very Long Instruction Word) 아키텍처로서 8개의 명령어를 동시에 처리할 수 있는 명령어 레벨 병렬성(Instruction-Level Parallelism)을 추구한다.

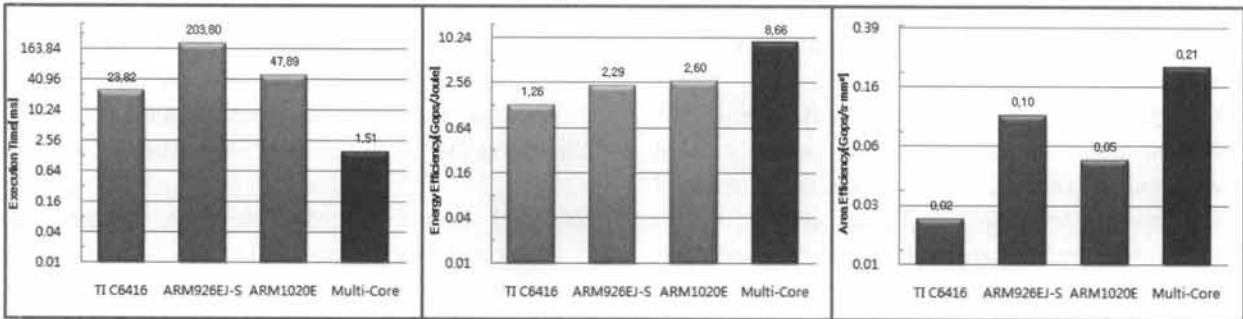
<표 3>은 제안한 멀티코어 프로세서를 이용하여 초음파 신호의 빔포밍 알고리즘을 구현한 결과를 보여주며, <표 4>는 초음파 신호의 빔포밍 알고리즘에 대한 멀티코어 프로세서와 상용 고성능 TI C6416, ARM926EJ-S 및 ARM1020E의 성능 비교를 보여준다.

<표 3> 멀티코어 프로세서를 이용한 빔포밍 알고리즘의 성능 결과

Total Cycle [Cycles]	Vector Instruction [Cycles]	Scalar Instruction [Cycles]	System Utilization [%]	Sustained Throughput [Gops/Sec]	Execution Time [ms]
1,087,127	720,482	366,645	99.99	7.63	1.51

<표 4> 멀티코어 프로세서와 TI C6416, ARM926EJ-S, ARM1020E와의 성능 비교

Parameter	Unit	빔포밍 알고리즘 수행 결과			
		Multi-Core	TI C6416	ARM 926EJ-S	ARM 1020E
Technology	[nm]	130	130	130	130
Clock Frequency	[Mhz]	720	720	720	720
Average Power	[mW]	1,884	950	120	200
Average Throughput	[MIPS]	7,634	1,196	275	520
Execution Time	[ms]	1.51	23.82	203.80	47.89
Energy	[μJoule]	2,788	22,631	24,457	9,579
Energy Efficiency	[Gops/Joule]	8.66	1.26	2.29	2.60
Area Efficiency	[Gops/(s·mm ²)]	0.21	0.02	0.10	0.05

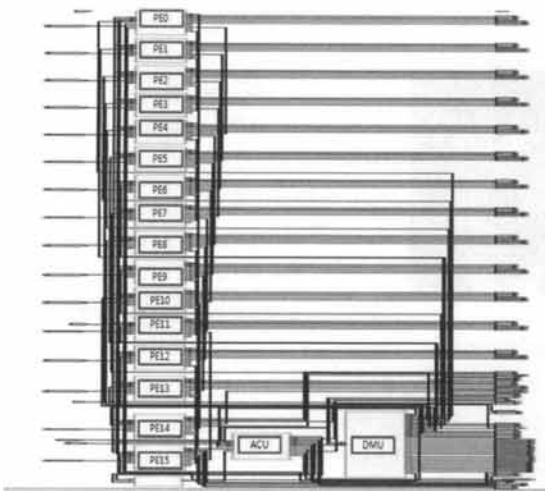


(그림 11) 실행시간, 에너지 효율 및 시스템 면적 효율 비교

(그림 11)은 제안한 멀티코어 프로세서와 TI C6416, ARM926EJ-S, ARM1020E의 실행시간, 에너지효율 및 시스템 면적 효율을 비교한 그래프이다. 제안한 멀티코어 프로세서는 초음파 신호의 빔포밍 알고리즘에 대하여 상용 고성능 프로세서인 TI DSP C6416보다 실행시간 면에서 약 15.8배 향상을, 에너지 효율 면에서는 6.9배 향상을, 시스템 면적 효율에서는 10배 향상된 결과를 보여준다. 에너지 효율의 증가는 시스템의 배터리 수명을 증가시키는 결과를 가져오며, 시스템 면적 효율의 증가는 시스템의 컴포넌트 이용률을 증가시키는 결과를 가져온다.

5.4 합성 및 실험 결과

제안한 SIMD기반 멀티코어 프로세서 구조를 RTL (Register Transfer Level)로 설계하고, Xilinx사의 Vertex-4 XC4VLX60 FPGA[29]를 이용하여 합성하고 테스트하였다. (그림 12)는 16개의 PE를 내장한 멀티코어 프로세서의 스키매틱을 보여주며, 합성한 결과는 <표 5>와 같다. 각 PE는 1,095개의 LUT (Look-Up Table)와 195개의 레지스터(register)가 사용되었으며, ACU는 1,147개의 LUT와 124개의 레지스터가 사용되었다. 16 PE로 구성된 멀티코어 프로세서는 18,667개의 LUT와 3,244개의 레지스터가 사용되고 전체 메모리는 4,202,496비트이며, 사용된 클럭 주파수는 118Mhz이다.



(그림 12) 멀티코어 프로세서의 하드웨어 스키매틱

<표 5> 멀티코어 프로세서 구현의 합성 결과

합성 결과 리포트		
Array Control Unit	LUTs	1,147
	Register	124
Processing Element	LUTs	1,095
	Register	195
Total Block Memory bits		4,202,496

6. 결 론

본 논문에서는 모바일 초음파 영상신호의 빔포밍 알고리즘을 고성능, 저전력으로 처리를 위하여 SIMD기반 멀티코어 프로세서를 제안하였다. 제안한 멀티코어 프로세서는 16개의 프로세싱 엘리먼트로 구성되어 있으며, 각 프로세싱 엘리먼트는 메쉬 배열 구조에서 동작한다. 동일한 공정 (130nm Technology)과 클럭 주파수(720Mhz)를 사용하여 모의 실험한 결과, 제안한 멀티코어 프로세서는 고성능 TI DSP C6416보다 실행 시간에서 15.8배, 에너지 효율에서 6.9배, 시스템 면적 효율에서 10배의 성능 향상을 보였다. 이러한 결과는 제안한 SIMD기반 멀티코어 프로세서가 모바일 초음파 의료영상 애플리케이션 처리에 있어서 무한한 잠재 가능성을 보여준다.

참 고 문 헌

- [1] 장성호, "초음파 영상진단장치(의료특집)", 대한전기학회논문지, 제48권, 제8호, 11-21쪽, 1998년 8월.
- [2] 김성학, 이원석, 신은희, 배병국, 노용래, "64 채널 Phased array 초음파 트랜스듀서의 설계 및 제작", 한국음향학회논문지, 제29권, 제2호, 608-609쪽, 2010년.
- [3] 이순훈, 최관순, 김동식, "가상 3D 그래픽을 이용한 집속형 초음파 탐촉자 성능평가 방법", 한국정보처리학회논문지 B, 제14-B권, 제6호, 407-412쪽, 2007년.
- [4] 이후정, 이행세, 김영길, 이민화, "초음파 영상장치에서 측방향 해상도 향상에 관한 연구", 대한의사학회지, 제9권, 제1호, 87-92쪽, 1998년.
- [5] T. R. Gururaja, and R. K. Panda, "Current status and future trends in ultrasonic transducers for medical imaging

applications," in Proc. of the 11th IEEE International Symposium on Application of Ferroelectrics, pp.223-228, 1998.

[6] X.-G. Jiang, J.-Y. Zhou, J.-H. Shi, H.-H. Chen "FPGA implementation of image rotation using modified compensated CORDIC," in Proc. of the 6th International Conference on ASIC, Vol.2, pp.752 - 756, 2005.

[7] E. B. Bourennane, S. Bouchoux, J. Miteran, M. Paidavoine, S. Bouillant, "Cost comparison of image rotation implementations on static and dynamic reconfigurable FPGAs," in Proc. of IEEE International Conference on Acoustics, Speech, and Signal Processing (ICASSP '02), Vol. 3, pp.III-3176-3179, 2002.

[8] 이시현, "Nios^(R) II 임베디드 프로세서를 사용한 병렬처리 시스템의 설계 및 구현", 한국컴퓨터정보학회논문지, 제14권, 제11호, 97-103쪽, 2009년 11월.

[9] A. D. Blas et. al, "The UCSC Kestrel Parallel Processor," IEEE Trans. on Parallel and Distributed Systems, Vol.16, No.1, pp. 80-92, Jan., 2005.

[10] A. Gentile and D. S. Wills, "Portable video supercomputing," IEEE Trans. on Computers, Vol.53, No.8, pp.960-973, Aug., 2004.

[11] Luong V. Huynh, 김철홍, 김종면, "퍼지 백터 양자화를 위한 대규모 병렬 알고리즘", 한국정보처리학회논문지 A, 제16-A권, 제6호, 411-418쪽, 2009년 12월.

[12] J. H. Kim, T. K. Song, and S. B. Park, "A pipelined sampled delay focusing in ultrasound imaging systems," Ultrasonic Imaging, Vol.9, pp.75-91, 1987.

[13] TMS320C64x families, <http://www.bdti.com/procsum/tic64xx.htm>.

[14] ARM 926EJ-S data sheet, <http://www.arm.com/products/processors/classic/arm9/arm926.php>.

[15] ARM 1020E data sheet, http://www.hotchips.org/archives/hc13/2_Mon/02arm.pdf

[16] P. Ranganathan, S. Adve, and N. P. Jouppi, "Performance of image and video processing with general-purpose processors and media ISA extensions," in Proc. of the 26th International Symposium on Computer Architecture, pp. 124-135, May, 1999.

[17] R. Bhargava, L. John, B. Evans, and R. Radhakrishnan, "Evaluating MMX technology using DSP and multimedia applications," in Proc. of IEEE/ACM Symposium on Microarchitecture, pp.37-46, 1998.

[18] N. Slingerland and A. J. Smith, "Measuring the performance of multimedia instruction sets," IEEE Trans. on Computers, Vol.51, No.11, pp.1317-1332, Nov., 2002.

[19] A. Krikelis, I. P. Jalowiecki, D. Bean, R. Bishop, M. Facey, D. Boughton, S. Murphy, and M. Whitaker, "A programmable processor with 4096 processing units for media applications," in Proc. of the IEEE International Conference on Acoustics, Speech, and Signal Processing, Vol.2, pp.937-940, May, 2001.

[20] L. W. Tucker and G. G. Robertson, "Architecture and

applications of the connection machine," IEEE Computer, Vol.21, No.8, pp.26-38, 1988.

[21] "Connection machine model CM-2 technical summary," Thinking Machines Corp., version 51, May, 1989.

[22] MarPar (MP-2) System Data Sheet. MarPar Corporation, 1993.

[23] M. J. Irwin and R. M. Owens, "A two-dimensional, distributed logic processor," IEEE Trans. on Computers, Vol.40, No.10, pp.1094-1101, 1991.

[24] M. Bolotski, R. Armithrajah, W. Chen, "ABACUS: A high performance architecture for vision," in Proceedings of the International Conference on Pattern Recognition, 1994.

[25] J. F. Havlice and J. C. Taenzer, "Medical ultrasonic imaging: An overview of principles and instrumentation," Proceedings of IEEE, Vol.67, No.4, pp.620-640, April, 1979.

[26] M. E. Schafer and P. A. Lewin, "The influence of front-end hardware on digital ultrasonic imaging," IEEE Trans. Sonics Ultrasonics, Vol.SU-31, No.4, pp.295-306, July, 1984.

[27] S. M. Chai, T. Taha, D. S. Wills, and J. D. Meindl, "Heterogeneous architecture models for interconnect-motivated system design," IEEE Trans. on VLSI Systems, Vol.8, No.6, pp.660-670, 2000.

[28] V. Tiwari, S. Malik, and A. Wolfe, "Compilation techniques for low energy: An overview," in Proc. IEEE International Symposium on Low Power Electronics, pp.38-39, 1994.

[29] Xilinx Vertex-4 FPGA XC4VLX60 data sheet, <http://www.alldatasheet.net/datasheet-pdf/pdf/152986/XILINX/XC4VLX60.html>.

최 병 국



e-mail : downbest@naver.com

2009년 울산대학교 컴퓨터정보통신공학부 (학사)

2009년~현 재 울산대학교 석사과정
관심분야: 임베디드 SoC, 컴퓨터구조, 의료영상처리, 병렬처리

김 종 면



e-mail : jmkim07@ulsan.ac.kr

1995년 명지대학교 전기공학과(학사)

2000년 Electrical & Computer Engineering, University of Florida, USA (공학석사)

2005년 Electrical & Computer Engineering, Georgia Institute of Technology, USA(공학박사)

2005년~2007년 삼성종합기술원 전문연구원

2007년~현 재 울산대학교 컴퓨터정보통신공학부 교수

관심분야: 임베디드시스템, 시스템-온-칩, 컴퓨터구조, 병렬처리, 신호처리 등