

# 저 전력 MOS 전류모드 논리회로 설계

김 정 범<sup>†</sup>

## 요 약

본 논문에서는 저 전압 스윙 기술을 적용하여 저 전력 회로를 구현하고, 슬립 트랜지스터 (sleep-transistor)를 이용하여 누설전류를 최소화 하는 새로운 저 전력 MOS 전류모드 논리회로 (MOS current-mode logic circuit)를 제안하였다. 제안한 회로는 저 전압 스윙 기술을 적용하여 저 전력 특성을 갖도록 설계하였고 고 문턱전압 PMOS 트랜지스터 (high-threshold voltage PMOS transistor)를 슬립 트랜지스터로 사용하여 누설전류를 최소화하였다. 제안한 회로는 16 x 16 비트 병렬 곱셈기에 적용하여 타당성을 입증하였다. 이 회로는 슬립모드에서 기존 MOS 전류 모드 논리회로 구조에 비해 대기전력소모가 1/104로 감소하였으며, 정상 동작모드에서 11.7 %의 전력소모 감소효과가 있었으며 전력소모와 지연시간의 곱에서 15.1 %의 성능향상이 있었다. 이 회로는 삼성 0.18  $\mu\text{m}$  CMOS 공정을 이용하여 설계하였으며, HSPICE를 통하여 검증하였다.

키워드 : MOS 전류모드 논리회로, 저 전회로, 저 전압 스윙 기술, 슬립 트랜지스터

## Design of a Low-Power MOS Current-Mode Logic Circuit

Jeong Beom Kim<sup>†</sup>

### ABSTRACT

This paper proposes a low-power MOS current-mode logic circuit with the low voltage swing technology and the high-threshold sleep-transistor. The sleep-transistor is used to high-threshold voltage PMOS transistor to minimize the leakage current. The 16x16 bit parallel multiplier is designed by the proposed circuit structure. Comparing with the conventional MOS current-mode logic circuit, the circuit achieves the reduction of the power consumption in sleep mode by 1/104. The proposed circuit is achieved to reduce the power consumption by 11.7% and the power-delay-product by 15.1% compared with the conventional MOS current-mode logic circuit in the normal mode. This circuit is designed with Samsung 0.18  $\mu\text{m}$  standard CMOS process. The validity and effectiveness are verified through the HSPICE simulation.

Keywords : MOS Current-Mode Logic Circuit, Low-Power Circuit, Low Voltage Swing Technology, Sleep-Transistor

### 1. 서 론

오늘날 휴대 단말기의 보급과 통신기술의 발달로 고속의 데이터 전송을 위하여 초고속 동작이 필요하며, 배터리의 한정된 용량으로 저 전력 회로 설계기술에 대한 필요성이 증가하고 있다.[1] 일반적인 디지털 시스템에서 사용되는 CMOS 구조는 부하가 충·방전하는 동안에만 전력을 소모하므로 전력소모가 작다. 그러나 CMOS 구조의 전력소모는 동작 주파수가 증가함에 따라 부하의 충·방전 시간이 짧아 지게 되고 전력소모는 동작 주파수가 증가함에 따라 선형적으로 증가하게 되며 출력신호 역시 기대하는 값을 얻을 수

가 없다. 이러한 CMOS의 동작속도의 제한을 해결하기 위한 방법 중에 하나가 MOS 전류모드 논리회로 (MOS current-mode logic circuit)이다. MOS 전류모드 논리회로는 작은 입력 캐패시턴스 값을 가져 고속동작을 하지만, CMOS 구조와 달리 정적전류(static current)를 사용하므로 CMOS 구조보다 전력소모가 크다. 그러나 MOS 전류모드 논리회로는 CMOS 구조와 달리 동작 주파수에 따른 전력소모가 선형적으로 증가하지 않고, 동작 주파수의 증가에 관계없이 전력소모가 일정하게 유지되는 장점을 지니고 있어, 동작 주파수가 지속적으로 증가하게 되면 결과적으로 CMOS 구조보다 전력소모가 작다[2-6]. 즉 MOS 전류모드 논리회로는 고속의 동작속도에서 저 전력소모를 필요로 하는 회로에 적합하다.

전력소모를 감소시키는 방법의 하나로 감소된 출력전압을 이용하는데 이러한 기술을 저 전압 스윙 기술(low-voltage swing technology)이라 한다. 저 전압 스윙 기술은 도미노

※ 본 논문에 사용한 S/W는 반도체교육센터(IDEC)의 지원에 의해 이루어 졌음.

† 정 회 원 : 강원대학교 전기전자공학부 교수  
논문접수 : 2009년 10월 19일  
수정일 : 1차 2010년 1월 19일  
심사완료 : 2010년 3월 11일

논리회로에 처음으로 적용하여 저 전력 회로를 구현하였으며, 이후 성능향상을 위한 연구가 진행되었다[7]. 본 논문에서는 MOS 전류모드 논리회로에 저 전압 스윙 기술을 적용하여 저 전력 회로를 구현하였다. 또한 기존 MOS 전류모드 논리회로의 전력소모를 감소시키기 위하여 회로가 동작하지 않을 경우, 회로 전체의 공급전압을 차단하기 위해 고 문턱 전압 PMOS 슬립 트랜지스터(high-threshold voltage PMOS sleep transistor)를 사용하여 전체적인 전력소모를 감소시켰다. 제한한 구조에 따라 전가산기를 설계하였으며, 이 전가산기를 이용하여 16 x 16 비트 병렬 곱셈기를 설계하였다. 이를 기존의 MOS 전류모드 논리회로를 이용하여 만든 전가산기와 곱셈기와 비교하여 전력소모, 지연시간, 전력소모와 지연시간의 곱을 비교 확인하였다. 설계한 회로는 삼성 0.18 μm CMOS 공정을 이용하여 설계하였으며, HSPICE를 이용하여 검증하였다.

본 논문은 다음과 같이 구성한다. 먼저, 2장에서 MOS 전류모드 논리회로에 대해 설명하고, 3장에서 제한한 MOS 전류모드 논리회로에 대해 설명한다. 4장에서 설계한 회로의 레이아웃 (layout) 과 시뮬레이션 결과를 분석하며, 5장에서 결론을 맺는다.

## 2. MOS 전류모드 논리회로

MOS 전류모드 논리회로는 완전한 차동구조이며 두 개의 풀업 (pull up) 저항에 의해서 전류를 조절하게 된다. 전체 전압 스윙 ΔV는 전류 I 와 저항 R에 의해 결정된다. 이 결정된 전압 스윙 ΔV는 출력전압의 스윙에 관계하게 된다. 즉 출력 (out)에 걸리는 전압은 전체 공급전압 (VDD)에서 전압 스윙만큼의 차가 된다. 부하의 캐패시턴스를 C로 가정하고 모든 입력이 이상적인 선형 신호라고 가정하면 입력 비트수 N에 대하여 지연 값은 다음과 같이 정의할 수 있다.

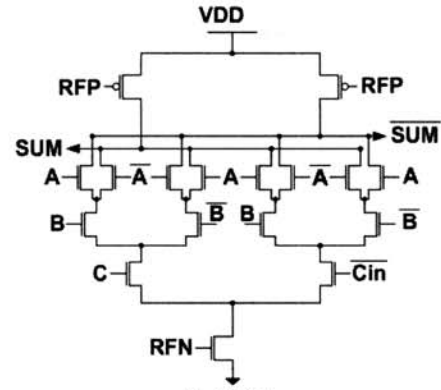
$$D_{MCML} = NRC = \frac{NC\Delta V}{I} \quad (1)$$

MOS 전류모드 논리회로는 CMOS 회로와 달리 부하의 충·방전에 독립적이며 항상 일정한 전류가 흐르게 된다. 이러한 가정을 통하여 전력소모, 전력소모와 지연시간의 곱, 에너지와 지연시간의 곱을 계산할 수 있다.

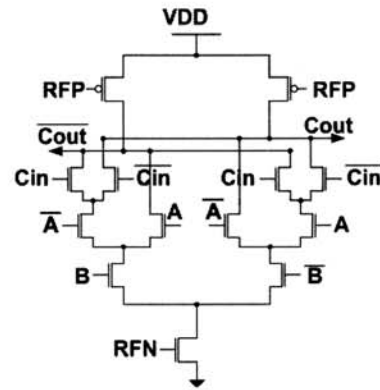
$$P_{MCML} = NIV_{DD} \quad (2)$$

$$PD_{MCML} = NIV_{DD} \frac{NC\Delta V}{I} = N^2 C\Delta VV_{DD} \quad (3)$$

$$\begin{aligned} ED_{MCML} &= N^2 C\Delta VV_{DD} \frac{NC\Delta V}{I} \\ &= \frac{N^3 C^2 V_{DD}\Delta V^2}{I} \end{aligned} \quad (4)$$



(a) 합 회로



(b) 올림 값 회로

(그림 1) MOS 전류모드 논리 전가산기

(그림 1)은 MOS 전류모드 논리 전가산기 회로이다. (그림 1(a))는 합에 대한 회로로써, 입력 값 A, B, C에 의해 출력 값(sum)값이 결정되게 된다. 예를 들어 sum 값이 1일 경우 즉 A, B, C의 조합 논리의 출력이 논리 값이 1인 경우에는 공급전압부터 접지단자로 도통경로가 형성되어 sum에 해당하는 값은 논리 값 0을 가지게 되며, 도통경로가 형성되지 않은 sum 값은 논리 값 1을 생성하게 된다. 반대로 sum의 논리 값이 0인 경우로 기준전압부터 접지단자로 도통경로가 sum쪽에 생성된다. 결과적은 sum은 논리 값 0을 sum는 논리 값 1을 가지게 된다. (그림 1(b))는 올림 값 (carry out) 해당하는 회로로 동작방법은 앞에서 설명한 합 회로 동일하다.

## 3. 제한한 MOS 전류모드 논리회로

### 3.1 MOS 전류모드 논리 인버터

저 전압 스윙 기술은 감소된 출력전압을 이용하여 전력소모를 감소시키는 방법이다. 제한한 회로는 인버터 논리블록 내에 저 전압 스윙 동작을 하도록 NMOS 트랜지스터를 추가하여 논리블록을 저 전압 스윙 동작을 시켜 전력소모를 감소시킨다. 또한 MOS 전류모드 논리회로는 정적전류를 사용하기 때문에 회로가 동작하지 않을 경우에는 정적전

류를 차단해 주는 회로가 필요하게 된다. 고 문턱전압 PMOS 슬립 트랜지스터를 공급전압과 논리회로 블록 사이에 추가함으로써 슬립 트랜지스터의 동작에 여부에 따라 회로에 전원공급을 제어함으로써 정적전류를 억제 할 수 있으며, 이로 인하여 전력소모를 감소시킨다. (그림 2)는 본 논문에서 제안한 MOS 전류모드 논리 인버터이다. 이 회로는 기존의 MOS 전류모드 논리회로 블록과 VDD 사이에 고 문턱전압 PMOS 슬립 트랜지스터를 추가하였으며, 인버터 논리회로 블록에 저 전압 스윙 동작을 하도록 NMOS 트랜지스터를 추가한 구조이다. 저 전압 스윙 기술은 회로에 공급되는 전압보다 낮은 전압 레벨에서 출력 동작을 하여 전력소모를 감소시키는 기술이다. 출력 동작 전압 범위는 전력소모와 밀접한 관계를 가지고 있다. 식(4)에서 나타낸 바와 같이 출력 스윙전압을 감소시키면 에너지 손실은 감소된다.

1번 트랜지스터와 2번 트랜지스터는 저 전압 스윙기술을 적용한 부분이다. 1번 트랜지스터의 게이트와 소스는 공급 전압에 연결되어 있고, 1번 트랜지스터의 드레인 전압은 공급전압에서 문턱전압 만큼 감소된 전압을 갖게 되며, 이 전압이 MOS 전류모드 논리회로의 기준전압이 된다. 여기서 감소된 기준전압은 회로의 출력전압으로 되어 출력전압은 낮은 전압 스윙을 하게 된다. 기준전압은 추가된 NMOS 트랜지스터의 개수와 연관이 있으며 이는 다음과 같다.

$$V_{ref} = V_{VDD} - 2V_{Thn} \quad (5)$$

$V_{Thn}$  : NMOS 트랜지스터의 문턱전압

변화된 기준전압  $V_{ref}$ 는 회로 전체에 흐르는 전류 I 에 영향을 미치게 된다. 즉 기준 전압의 감소는 등가저항으로 작용하는 PMOS 사이즈와 게이트 입력전압의 변화가 없다고 가정할 때 전류 I의 감소시키므로 감소된 전류 I와 기준 전

압에 의해서 식 (5)를 통해 알 수 있듯이 전체적인 전력소모가 감소하게 된다.

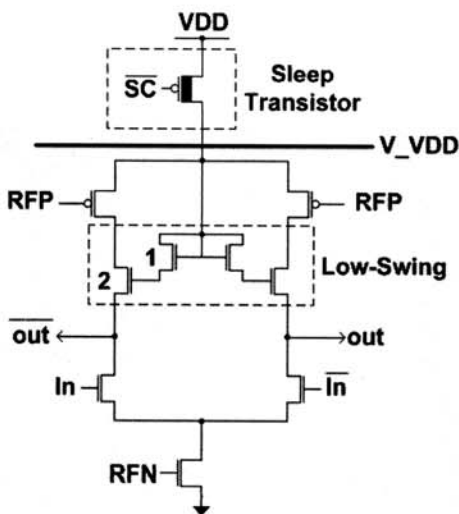
슬립 트랜지스터의 게이트 입력인 제어단자  $\overline{SC}$ 가 논리 값 0 일 때에는 논리회로 블록에 공급전압을 인가하여 정상적인 동작을 하도록 하며, 반면에 제어단자  $\overline{SC}$ 가 논리 값 1 일 때에는 논리회로 블록에 공급전원을 차단하여 회로가 동작하지 않도록 설계하였다. 즉, 정상 동작모드에서는 제어단자  $\overline{SC}$ 가 논리 값 0을 갖게 되어 슬립 트랜지스터는 턴 온 되어 기존의 MOS 전류모드 논리회로와 동일하게 동작한다. 슬립모드에서는 제어단자  $\overline{SC}$ 가 논리 값 1을 갖게 되어 슬립 트랜지스터는 턴 오프 되어 VDD와 논리회로사이를 격리시킨다. 따라서 슬립모드에서 발생하는 대기 전력소모를 최소화 한다.

### 3.2 MOS 전류모드 논리 전가산기와 16 x 16 비트 병렬 곱셈기

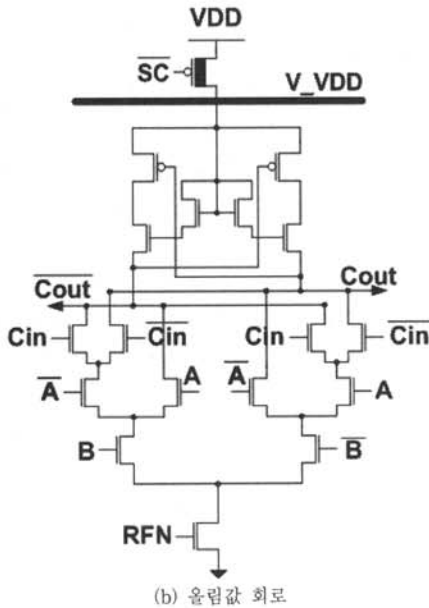
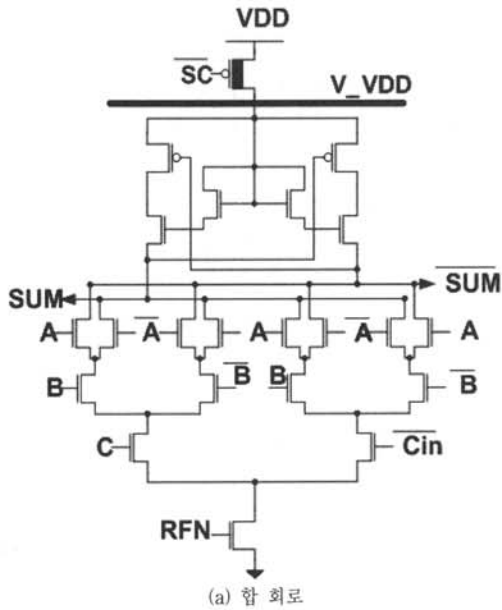
(그림 3)은 본 논문에서 제안한 MOS 전류모드 논리 전가산기이다. 이 회로는 논리회로 블록에 저 전압 스윙 동작을 하도록 NMOS 트랜지스터를 추가하였으며, 기존의 MOS 전류모드 논리회로 블록과 VDD 사이에 고 문턱전압 PMOS 슬립 트랜지스터를 추가한 구조이다. 앞서 설명한 것과 같이 PMOS 트랜지스터와 출력 사이에 NMOS 트랜지스터를 추가시킴으로서 기준전압  $V_{ref}$ 을 감소시켜 회로에 흐르는 전류 I의 값을 감소시키며, 기준 전압이 문턱전압의 두 배만큼 감소하여 식 (2)에 따라 회로의 전력소모가 감소한다.

본 논문에서는 Nagamatsu[8]가 제안한 wallace 트리 어레이에 유닛 가산기 (4-2 compressor)를 적용하여 곱셈연산을 수행하는 방식으로 16x16 비트 병렬 곱셈기를 구현하였다. 병렬 곱셈기는 곱셈과정에서 발생하는 부분 곱을 전가산기를 이용하여 병렬로 연결 독립적인 계산을 수행한다. 곱셈기의 출력 단은 일반적인 CMOS 버퍼를 사용하여 출력 신호의 왜곡이 없도록 설계하였다. 본 논문에서는 누설전류를 최소화하기 위해서 고 문턱전압 PMOS 슬립 트랜지스터를 사용했다. <표 1>은 본 논문에서 사용한 문턱전압이다. 삼성 0.18  $\mu\text{m}$  공정의 경우 MOS 전류모드 논리회로 블록의 NMOS 와 PMOS 트랜지스터의 문턱전압은 정상 값인 0.43 V와 0.45 V를 적용하며 PMOS 슬립 트랜지스터의 문턱전압은 0.65 V를 적용하였다. 이 슬립 트랜지스터의 크기는 전체 회로에 충분한 전류를 공급할 정도로 커야 한다.

슬립 트랜지스터를 곱셈기에 적용하는 방법으로, 네 가지로 방식으로 적용하여 특성을 분석하였다. 첫 번째 방법은 슬립 트랜지스터를 각각의 전가산기에 적용하는 방법이다. 이 방법은 각각의 전가산기를 제어할 수 있지만 추가되는 슬립 트랜지스터 수가 많다. 두 번째 방법은 슬립 트랜지스터를 각각의 부분 곱에 추가하는 방법이다. 이 방법은 각각의 전가산기를 제어할 수 없지만 첫 번째 방법에 비해 추가되는 슬립 트랜지스터의 수가 감소한다. 세 번째 방법은 전체 회로를 두 개의 블록으로 분할하여 두 개의 슬립 트랜지



(그림 2) 제안한 MOS 전류모드 논리 인버터



(그림 3) 제안한 MOS 전류모드 논리 전가산기

스터를 추가하는 방법이다. 네 번째 방법은 전체 회로에 하나의 트랜지스터를 추가하는 방법으로 트랜지스터의 적용과 제어를 쉽게 할 수 있다. 전체 회로의 하나의 슬립 트랜지스터를 이용하여 제어할 경우 이 슬립 트랜지스터의 크기는 전체 회로에 충분한 전류를 공급할 정도로 커야 한다. 슬립 트랜지스터의 크기와 적용 부분에 대한 것은 전체 회로에 미치는 전력소모, 전류, 동작속도를 고려하여 회로에 따라

<표 1> 논문에서 사용한 문턱전압

	NMOS	PMOS
정상 문턱전압	0.43±0.05	0.45±0.05
고 문턱전압	-	0.65±0.05

<표 2> 고 문턱전압 PMOS 슬립 트랜지스터의 적용방법에 의한 비교표

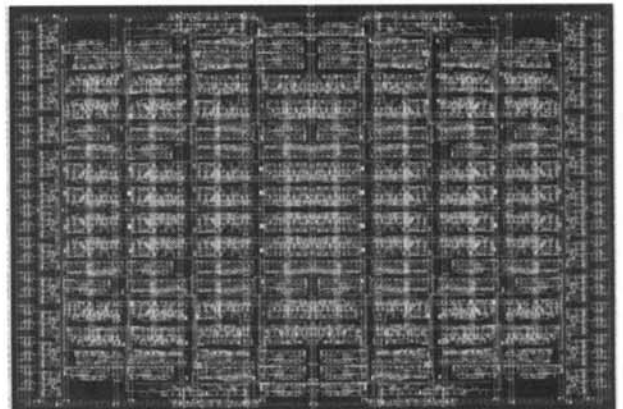
	방법 1	방법 2	방법 3	방법 4
평균 전력소모 P (mW)	18.5	16.2	14.3	14.2
전달 지연시간 D (nS)	5.0	5.1	5.3	6.1
P · D (pJ)	92.5	82.6	75.8	86.6
면적 증가 (%)	20.8	24.2	3.2	3.0
대기 전력소모 (uW)	0.35	0.14	0.02	0.04
	*슬립트랜지스터를 추가하지 않은 경우 : 20.5			
방법 1 : 슬립 트랜지스터를 각각의 전가산기에 적용 방법 2 : 슬립 트랜지스터를 각각의 부분 곱에 추가 방법 3 : 전체 회로를 두 개의 블록으로 분할하여 두 개의 슬립 트랜지스터를 추가 방법 4 : 전체 회로에 하나의 트랜지스터를 추가				

달리 적용된다.

<표 2>는 고 문턱전압 PMOS 슬립 트랜지스터의 적용방법에 따른 비교표이다. 평균 전력소모와 전달 지연시간의 곱(P·D)의 경우 부분 각각의 부분 곱 회로에 고 문턱전압 PMOS 슬립 트랜지스터를 적용하였을 때 가장 우수한 특성을 보였다. 최소의 대기 전력소모 특성을 보였다. 대기 전력소모의 경우 곱셈기를 두 개로 분할하여 고 문턱전압 PMOS 슬립 트랜지스터를 적용하였을 때 최소의 대기 전력소모 특성을 보였다. <표 2>의 결과를 분석해 볼 때 전체 회로를 두 개의 블록으로 분할하여 두 개의 슬립 트랜지스터를 추가한 경우가 가장 우수한 특성을 갖는다고 판단할 수 있다.

#### 4. 물리적 구현 및 비교

(그림 4)는 16 x 16 비트 곱셈기를 두 개로 분할하여 고 문턱전압 PMOS 슬립 트랜지스터를 적용하여 설계한 레이



(그림 4) 설계한 16 x 16 비트 곱셈기의 레이아웃

〈표 3〉 비교표

		CMOS회로	기존회로	제안한 회로
정상 동작 모드	평균전력소모, P (mW)	17.5	16.2	14.3
	전달지연시간, D(ns)	6.3	5.3	5.1
	P · D (pJ)	110.3	85.9	72.9
슬립 모드	대기전력소모	1.2 uW	20.8 uW	0.02 uW

아웃이다. 레이아웃은 삼성 0.18  $\mu\text{m}$  표준 공정 레이아웃 규칙에 따라 설계하였다. 본 논문에서 설계한 곱셈기의 면적은 316.4  $\mu\text{m}$  x 215.8  $\mu\text{m}$  이다.

본 논문은 삼성 0.18  $\mu\text{m}$  표준 CMOS 공정을 이용하여 HSPICE로 시뮬레이션 하였다. HSPICE에 사용한 모델 파라미터는 Level 49공정 파라미터를 사용하였으며, 공급 전압은 1.8 V로 하였다. 곱셈기 출력 버퍼에 100 fF 부하 커패시턴스를 연결하였다.

〈표 3〉은 정상 동작모드와 슬립모드에서 기존의 곱셈기와 제안한 곱셈기의 전기적 특성을 비교한 표이다. 제안한 구조의 곱셈기는 일반 CMOS 회로에 비해 18.5 %의 전력소모가 감소하였다. 또한, 정상 동작모드에서 기존의 MOS 전류모드 논리회로에 비해 11.7 %의 전력소모가 감소하였으며, 슬립모드에서 대기 전력소모량이 1/104로 감소하였다. 따라서 본 논문에서 제안한 회로는 슬립모드에서 대기 전력소모를 감소시킬 뿐만 아니라 정상 동작모드에서 저 전압 스윙 기술 적용을 통해 전력소모를 감소시킴으로서 저 전력 MOS 전류모드 논리회로를 구현하였다.

제안한 MOS 전류모드 논리회로는 차동 논리회로 (differential logic circuit)로서 적은 출력전압 스윙을 하여 빠른 스위칭 특성을 갖는다. 차동쌍을 이루고 있는 트랜지스터들은 포화 상태, 혹은 컷오프 상태로만 동작하며 전류 스위칭은 이 트랜지스터들의 최대 트랜스컨덕턴스 지점에서 발생한다. 지연시간은 공급전원과 무관하게 출력전압 스윙에만 비례하며, 높은 동작속도에서 일반 CMOS 회로에 비해 우수한 저 전력 특성을 갖는다.

제안한 논리구조에서 고 문턱전압 PMOS 슬립 트랜지스터를 추가하는데 필요한 일부 면적의 증가가 발생하나, 이로 인한 회로 복잡도의 증가는 큰 문제가 되지 않는다고 판단된다. 그러나 고 문턱전압 PMOS 슬립 트랜지스터를 구현하기 위해 표준 공정에 비해 마스크가 추가되어 공정의 복잡도와 비용이 증가하는 단점이 있다. 또한 설계한 회로 규모에 따라 슬립 트랜지스터의 적용범위를 결정하는 방법이 현재까지 체계적이지 못하다. 따라서 후속연구로서 대규모 회로의 체계적인 분할방법에 대한 연구결과가 뒷받침된다면 일반 CMOS 회로의 성능을 개선하는 대안 중의 하나가 될 수 있을 것으로 기대한다.

## 5. 결 론

본 논문에서는 저 전압 스윙 기술과 고 문턱전압 PMOS 슬립 트랜지스터를 이용하여 저 전력 MOS 전류모드 논리회로를 제안하였다. 이 회로는 정상 동작모드에서 저 전압 스윙 기술 적용으로 논리회로 블록에서 전력소모가 감소하였고, 슬립모드에서 고 문턱전압 PMOS 슬립 트랜지스터를 사용함으로써 MOS 전류모드 논리회로의 누설전류를 최소화하여 저 전력 특성을 갖는다. 제안한 저 전력 MOS 전류모드 논리회로는 기존의 회로에 비해 저 전력 특성이 향상되었으나, 고 문턱전압 트랜지스터 공정으로 공정비용이 증가해 해결해야 할 문제점과 대규모 회로의 분할방식에 대한 연구가 필요하다.

## 참 고 문 헌

- [1] Neil H. E. Wests, David Harris. "CMOS VLSI DESIGN," Addison-Wesley Publishing Company 2005.
- [2] J. B. Kim and Y. S. Lee, "Design of a low-power 8x8-bit parallel multiplier using MOS current mode logic circuit," International Journal of Electronics, Vol.94, No.10, pp.905-913, October, 2007.
- [3] Hassan Hassan, Mohab Anis, and Mohamed Elmasry, "MOS Current Mode Circuits: Analysis, Design, and Variability," IEEE Trans. VLSI Systems, Vol.13, No.8, pp.885-898, August, 2005.
- [4] Akira Tanabe, Masato Umetani, Ikuo Fujiwara, Takayuki Ogura, Kotaro Kataoka, Masao Okihara. "0.18- $\mu\text{m}$  CMOS 1-Gb/s Multiplexer/Demultiplexer ICs Using Current Mode Logic with Tolerance to Threshold Voltage Fluctuation," IEEE J. Solid-State Circuits, Vol.36, pp.988-996, June, 2001.
- [5] M. Mizuno, M. Yamahsina, K. Furuta, H. Igura, H. Abiko, K. Okabe, A. Ono, H. Yamada, "A GHz MOS, Adaptive Pipeline Technique Using MOS Current-Mode Logic," IEEE J. Solid-State Circuits, Vol.31, pp.784-791, June, 1996.
- [6] Issam S. Abu-Khater, Abdellatif Bellaouar, M. I. Elmasry, "Circuit Techniques for CMOS Low-Power High-Performance Multipliers," IEEE J. Solid-State Circuits, Vol.31, pp.1535-1546, No.10, October, 1996.
- [7] Jang Hee Kang and Jeong Beom Kim, "Design of a low power CVSL full adder using low-swing technique," in Proceeding of IEEE International Conference on Semiconductor Engineering, pp.247-251, 2004.
- [8] Masato Nagamatsu, et al, "A 15nS 32X32-bit CMOS Multiplier with an Improved Parallel Structure," Vol.25, pp.494-497, No.2, April, 1990.



## 김 정 범

e-mail : kimjb@kangwon.ac.kr

1985년 인하대학교 전자공학과(학사)

1987년 인하대학교 전자공학과(석사)

1997년 포항공과대학교 전자전기공학과(박사)

1987년~1992년 금성반도체 중앙연구소 선임연구원

1994년~1997년 현대전자 시스템IC연구소 책임연구원

1997년~1998년 충북대학교 전기전자공학부

1999년~현재 강원대학교 전기전자공학부 교수

관심분야: VLSI 설계, SoC설계