

HDD 읽기 채널용 6-bit 800 Msample/s DSDA 아날로그/디지털 변환기의 설계

정 대 영[†] · 정 강 민^{††}

요 약

본 논문에서는 하드디스크 드라이브 읽기 채널용 아날로그/디지털 변환기를 설계하였다. 본 회로는 고속 저에러율 비교 동작이 가능한 빠른 regenerative autozero 비교기에 기반을 두고 있고, 아키텍처에 Double Speed Dual ADC(DSDA) 방식을 사용하여 전체 A/D 변환기의 속도를 효과적으로 향상시켰다. 또한 autozero 구조에 적합한 새로운 타입의 thermometer-to-binary 디코더를 사용하여 글리치를 제거하였고 기존의 구조를 보다 최적화시켰다. 이 ADC는 6-bit 해상도, 800 Msample/s 최대 변환속도로 설계되었으며, 390 mW 전력 소모와 한 클럭주기의 latency를 가진다. 설계에 0.65 m CMOS 공정을 사용하였다.

Design of 6-bit 800 Msample/s DSDA A/D Converter for HDD Read Channel

Chung Dai-Young[†] · Chung Kang-Min^{††}

ABSTRACT

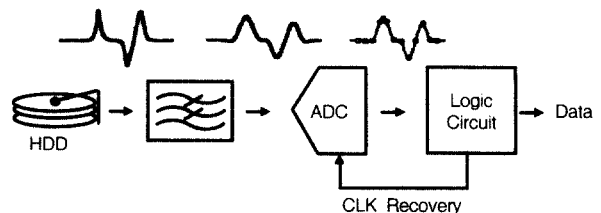
This paper introduces the design of high-speed analog-to-digital converter (ADC) for hard disk drive (HDD) read channel applications. This circuit is based on fast regenerative autozero comparator for high speed and low-error rate comparison operation, and Double Speed Dual ADC (DSDA) architecture for efficiently increasing the overall conversion speed of ADC. A new type of thermometer-to-binary decoder appropriate for the autozero architecture is employed for no glitch decoding, simplifying the conventional structure significantly. This ADC is designed for 6-bit resolution, 800 Msample/s maximum conversion rate, 390 mW power dissipation, one clock cycle latency in 0.65 m CMOS technology.

키워드 : A/D Converter(고성능 아날로그 · 디지털 변환기), HDD(Hard Disk Drive)

1. 서 론

최근 디지털 data reading 분야에서의 고성능 ADC의 수요가 점차 증대되고 있다. 예를 들어, hard disk drive(HDD), digital video disk(DVD), local-area network(LAN)등 그 응용면이 점차 증가하는 추세이다[1-6]. 이들 응용면은 고속, 저에러율, 저전력 동작을 필요로 하고, 매우 짧은 latency를 필요로 한다. 특히 HDD의 읽기 채널에서는 수백 Msample/s의 ADC를 채택하고 있다. (그림 1)은 HDD 읽기 채널을 보이고 있으며 여기에서 ADC는 sampling 기능과 digitization을 수행한다. 읽기 채널 내 회로들은 시스템 내에 피드백 루프가 존재하므로 짧은 latency를 갖는 회로이어야 한다. 그러므로 긴 latency를 가지는 pipeline 구조

나 고주파 아날로그 입력을 처리하기에 부적합한 folding 구조보다는, 많은 수의 비교기를 가지는 단점이 있지만 고속 동작에 필요한 짧은 latency의 잇점이 있는 flash 유형의 구조가 가장 적합하다. 그러므로 본 논문에서는 HDD 읽기 채널에 적합한 구조로서 flash 유형의 ADC를 선택하여 설계하였다. 높은 sampling율을 얻기 위한 목적으로 새로운 아키텍처의 ADC 구조를 제시하였다. 또한 비교기의 고속동작과 보다 정밀한 동작을 위해 autozero 방식을 도입하였다[7, 8].



(그림 1) HDD 읽기 채널을 위한 응용면의 ADC

* 본 연구는 반도체설계교육센터(IDEC)의 하드웨어 및 소프트웨어 지원에 의하여 수행되었음.

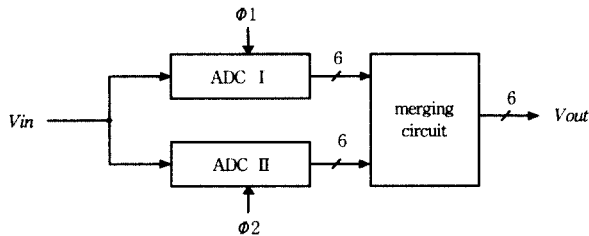
† 정 회 원 : 삼성전자 근무

†† 정 회 원 : 성균관대 전기 · 전자 및 컴퓨터공학부 교수

논문접수 : 2001년 3월 15일, 심사완료 : 2001년 11월 2일

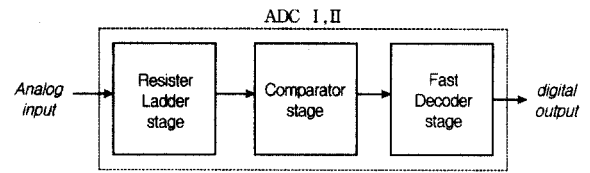
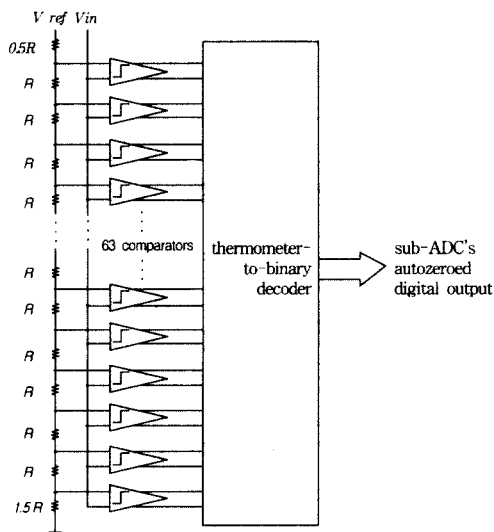
2. 전체 블록 동작 및 특성

본 논문에서는 새로운 시스템 아키텍처 및 회로구조에 중점을 두고 설명하였다. 전체 시스템 구조는 Double Speeded Dual ADC(DSDA)라고 부르는 구조이며 (그림 2)와 같이 두 개의 sub-ADC와 merging 회로로 구성되어 있다. (그림 2)에서, 180도 위상차를 가지는 non-overlapping 2상 클럭이 autozero 방식을 기반으로 하는 두 개의 sub-ADC를 제어하여, 서로 다른 phase에 각 변환기가 변환을 수행한 후 이것을 merging 회로로 통합하여 연속시간 신호로 변환된 최종 디지털 코드를 출력하는 구조로 구성하였다. 따라서 전체 시스템속도는 sub-ADC 속도의 두 배가된다. 예를 들어 0.65m CMOS 기술에서 400Msample/s sub-ADC를 사용할 경우 전체 ADC가 800Msample/s까지 동작함을 예견할 수 있고 이는 실제 회로 시뮬레이션을 통해 검증된다.



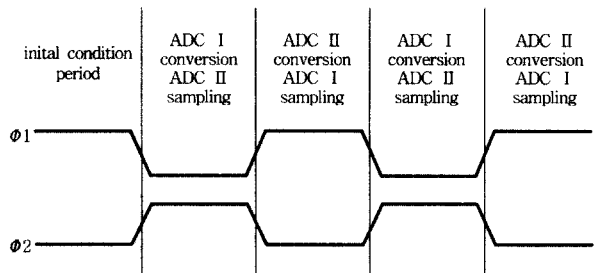
(그림 2) 제안된 ADC의 전체 시스템 블록도

Sub-ADC는 저항래더를 사용한 기준전압 단과 입력신호를 기준전압과 비교하는 전차동 비교기 단, 각각의 비교기에서 나온 thermometer 코드를 2진 코드로 변환해주는 no glitch 고속 디코더 단으로 구성되며 모든 회로는 autozero 방식에 기반을 둔 구조로 구성하였다. 이를 (그림 3)에 보였다. 본 논문은 본 ADC에서 가장 중심이 되는 비교기 단, 디코더 단, 그리고 sub-ADC 출력의 merging 회로에 중점을 두어 논의하였다.



(그림 3) Sub-ADC의 구조

(그림 4)에 시스템 클럭과 클럭에 따른 각 sub-ADC의 회로동작을 보였다. 클럭은 time-divided 50% duty cycle을 갖는 non-overlapping 2상 클럭을 사용하였다.



(그림 4) 전체 시스템 클럭과 DSDA 동작

전체 시스템은 autozero 방식에 기반을 둔 구조이므로, odd phase와 even phase에서 샘플링과 변환을 번갈아 가며 수행하고 이를 통합하여 전체 연속시간 변환을 수행한다. 위에서 설명한 것과 같이 이 DSDA 방식은 변환속도를 향상시키며 sub-ADC의 변환속도의 두 배에 해당되는 속도를 얻을 수 있다(최대 변환속도는 sub-ADC의 변환속도에 따른다.). 그러나 이는 전체 chip 크기를 약 두 배 증가시키며 또한 별도의 merging 회로가 필요하다.

3. Autozero 비교기

비교기의 성능은 전체 ADC 시스템의 성능을 좌우할 정도로 속도와 전력, 해상도면에서 ADC 설계에 있어서 매우 중요한 부분이다.

본 논문의 비교기는 오프셋을 최소화하여 고해상도를 가능하게 하는 autozero 방식의 회로이므로 동작속도와 같은 다른 성능변수에 대한 trade-off 없이 preamp와 래치에 분배되는 입력 오프셋을 최소화시켜 준다[9].

(그림 5)는 전차동 autozero 비교기의 회로도이다. 전체구조는 sampled-data 비교기로서 MOS 스위치 S1-S4와 캐패시터 C1, C2(C1 = C2)로 구성된 입력 샘플링 네트워크, regenerative 증폭기 M1-M4 및 reset 스위치 S5-S7로 구성되며 버퍼 N1, N3과 N2, N4는 출력 노우드에 대칭적 loading을 제공하여 systematic 오프셋을 피하게 한다. M1-M4의 regenerative 증폭기는 cross-coupled 구조로 되어 있어 빠른 regeneration을 가능케 한다.

또한 부수 회로로, P와 Q 노우드에 dummy 스위치 d1-d4를 설치하여 스위칭 네트워크의 빠른 교차적 천이시 발

생할 수 있는 전하주입을 흡수하여 샘플링 캐패시터 C1, C2가 정확하게 샘플링할 수 있게 해주고, 입력쪽에서의 kick-back 잡음을 막아준다. 고속비교 일수록 기준전압은 안정될 때까지 과도기간이 길어진다. 이 스위치 들은 또한 각 탭에서의 시정수를 크게 하여 고속비교시 기준전압의 큰 변화를 막고 빠른 시간 내에 안정화 시키므로써 고속의 비교 동작이 가능하도록 해주는 역할도 한다.

비교기의 동작은 다음과 같다. 오프셋 상쇄모드시, 즉 *clk*이 HIGH일 때, S3-S7는 on되고, P와 Q 노우드는 각각 *Vref+*와 *Vref-*로 충전되고, 이 증폭기의 오프셋은 C1, C2로 저장된다. 다음 즉 *clk*이 LOW로 되어 비교모드로 천이하면, S3-S7가 turn-off되고 S1과 S2는 on이 된다. 이때 회로는 regeneration을 시작하고, (Vin+)-(Vin-)와 (vref+)-(Vref-)의 차이를 증폭한 후 최종 래치 단에서 논리레벨이 결정된다. 본 설계에서 중요한 점은 M1, M2가 선형지역에서 동작하도록 해야 한다는 점이다. 그러므로서 Vin과 Vref간의 미세한 차이를 감지하여 preamp로 적절한 수준까지 증폭시킬 수 있다. P, Q 노우드는 *clk*가 HIGH일 때 Vref를 트래킹하고 *clk*가 HIGH일 때는 Vin을 트래킹한다.

M1-M4가 regeneration을 수행하는 동안, 증폭기의 오프셋은 클럭의 하강천이시간과는 비교적 무관하다. 그러나 regeneration 시작시 세 스위치 S5-S7이 동시에 off될 경우 M1과 M2 각각의 드레인과 C1, C2로 주입되는 전하에 의한 큰 오프셋은 잘못된 regeneration을 일으킬 수 있다. 이 문제에 대하여는 다음과 같은 순서로 지연된 클럭을 사용하여 큰 오프셋이 발생하지 않도록 하는 것이 일반적인 방법이다.

- 1) reset 모드를 끝내기 위해 S3-S6는 off 시킨다.
- 2) tracking 모드를 시작하기 위해 S1과 S2를 turn on한다.
- 3) M3, M4가 regeneration을 할 수 있게 S7을 off시킨다.

이 방식에서는 S5, S6을 off 시킨 후에 S1, S2가 on되므로, 입력에서 보는 캐패시턴스 성분이 낮아지는 잇점이 또한 존재한다. 이는 S1과 S2가 turn on 되었을 때 S5, S6의 게이트-드레인 캐패시턴스 성분이 없어지기 때문이다. 본 설계에서는 위의 순서에 맞는 동작을 위하여, 각 스위치 크기를 조절하여 on 저항을 변화시키므로써 스위칭 순서가 위

와 같아지도록 하는 방법을 사용하였다.

비교기의 입력기준 오프셋은 다음과 같이 나타낼 수 있다.

$$V_{os} = \frac{V_{os1}}{A_d} + \Delta V \tag{1}$$

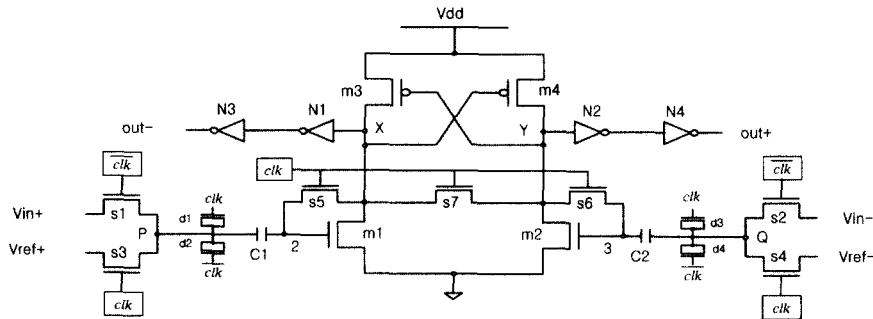
*Vos1*은 오프셋 제거를 하지 않았을 때의 오프셋, ΔV 는 S5와 S6사이의 전하주입에 기인한 오프셋이고, *A_d*는 M1, M2의 게이트로부터 드레인까지의 차동 전압이득이다. 이는 다음과 같이 쓸 수 있다.

$$A_d = \frac{g_{mN} \cdot R7}{2 - g_{mP} \cdot R7} \tag{2}$$

*g_{mN}*과 *g_{mP}*는 각각 NMOS와 PMOS의 전달컨덕턴스 값이고, *R7*은 S7의 on-저항이다. 이 식에서 분자의 식은 M1, M2가 제공하는 선형증폭을 나타내고 분모는 M3, M4에 의해 제공되는 regenerative 증폭을 나타낸다. M3, M4와 S7의 크기는 $g_{mP} \cdot \frac{R7}{2}$ 가 0.75-0.85가 되도록 결정하여 *A_d*가 $2g_{mN} \cdot R7 (\approx 5) < A_d < 3.3g_{mN} \cdot R7 (\approx 7.3)$ 정도의 범위에서 안정된 값을 갖도록 하였다[10]. 시뮬레이션시 PMOS의 폭은 17 μ m, NMOS의 폭은 12 μ m를 사용하였다.

본 비교기의 올바른 비교동작을 위해서는 M1, M2가 선형영역에서 동작하도록 설계하는 것이 중요하다. 이는 Vin과 Vref와의 차이를 잘 감지하여야 X, Y 노우드의 전압을 regenerative 증폭 단이 적정수준으로 증폭시키는 비교동작이 이루어지기 때문이다. 이 경우 증폭 단이 논리레벨을 효율적으로 생성할 수 있도록 preamp 단이 적절한 이득을 제공해야 한다. 비교기는 또한 autozero 기간(offset 상쇄) 동안 zero 논리레벨을 발생해야 한다.

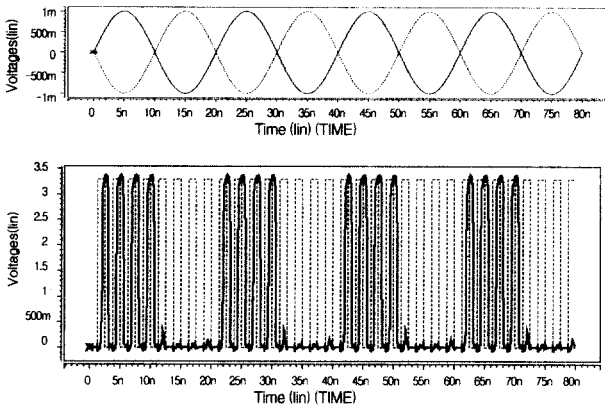
이들 조건을 만족하기 위해 X, Y 노우드의 reset 전압이 Vdd/2 (1.65 V)보다 약간 낮도록 M1-M4의 크기를 조절하였다. 시뮬레이션에 의하면 공급전압 3.3 V의 경우 1~1.5 V의 reset 전압에서 preamp의 올바른 동작과 증폭 단의 빠른 regeneration이 보장되는 것을 알 수 있다. 또한 버퍼 단을 거친 비교기 출력도 autozero 기간 동안 안정적인 zero 레벨을 출력한다.



X, Y 노우드의 전압이 버퍼 단 들에서 양호한 논리레벨 0 또는 1로 결과되려면 이들의 스위칭점을 또한 적절히 선택해야 한다. 시뮬레이션으로 트랜지스터 크기를 선택하여 각 버퍼 DC 특성의 스위칭점을 구하였다.

설계된 autozero 비교기는 11-bit 해상도, 약 0.65 nS의 전달지연, 약 200 Mhz의 입력 대역폭, 0~1.2 V의 입력범위, 약 2.8 mW 정도의 전력소비, 0.5 mV 이하의 오프셋을 갖는다. (그림 6)은 비교기의 시뮬레이션 결과이다. Peak to peak 2mV인 50 Mhz 차동입력에서 400 Msample/s의 변환율로 작동하고 있다.

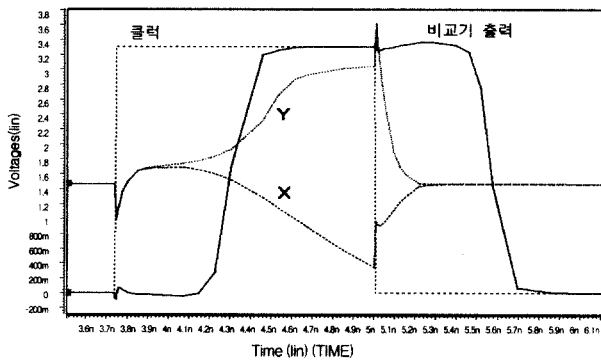
<표 1>에 제안된 비교기의 성능을 요약하였다. (그림 7)은 (그림 6)을 zoom-in한 것으로 제안된 비교기 출력이 HIGH 가 될 때의 regeneration되는 과정과 논리레벨을 결정하는 모습을 보여주고 있다.



(그림 6) 제안된 비교기의 시뮬레이션

<표 1> 제안된 비교기의 성능

해상도	11-bit
최대 변환속도	800 Msample/s
전력소비	2.8 mW
전압이득	76 dB
입력범위	0~1.2 V
입력대역폭	200 Mhz
오프셋	0.5 mV
공급전압	단일 3.3 V



(그림 7) 제안된 autozero 비교기의 동작 (출력과 클럭(400 Msample/s), X, Y 노우드 전압)

4. No glitch 고속 디코더

저항 래더 유형의 기준전압 단과 비교기 단을 거쳐 발생한 thermometer 코드는 2진 코드로 바꾸어져야 하는데 이때 thermometer-to-2진 디코더의 속도와 정확성은 대단히 중요하다. 기존의 디코더의 경우 통상 XOR 게이트와 NAND 또는 NOR 게이트를 주로 사용하고 있는바 이러한 구조는 긴 게이트 지연과 hazard 문제, 또 기생 캐패시턴스의 영향으로 글리치가 발생하여 치명적 코드 에러를 유발한다.

본 논문에서는 not 입력을 사용한 AND-OR-inverter 기법을 사용하여 보다 빠르고 정확한 no glitch 고속 디코더를 설계하였다. 디코더의 논리식은 다음과 같다. 이 식 들에서 B0는 출력 LSB 코드, B5는 출력 MSB 코드이다. (Tn은 thermometer 코드, Bn은 2진 코드)

$$B0 = (T0 \cdot \overline{T1}) + (T2 \cdot \overline{T3}) + (T4 \cdot \overline{T5}) + (T6 \cdot \overline{T7}) + \dots + (T58 \cdot \overline{T59}) + (T60 \cdot \overline{T61}) + T62 \quad (3)$$

$$B1 = (T1 \cdot \overline{T3}) + (T5 \cdot \overline{T7}) + (T9 \cdot \overline{T11}) + \dots + (T53 \cdot \overline{T55}) + (T57 \cdot \overline{T59}) + T61 \quad (4)$$

$$B2 = (T3 \cdot \overline{T7}) + (T11 \cdot \overline{T15}) + (T19 \cdot \overline{T23}) + \dots + (T43 \cdot \overline{T47}) + (T51 \cdot \overline{T55}) + T59 \quad (5)$$

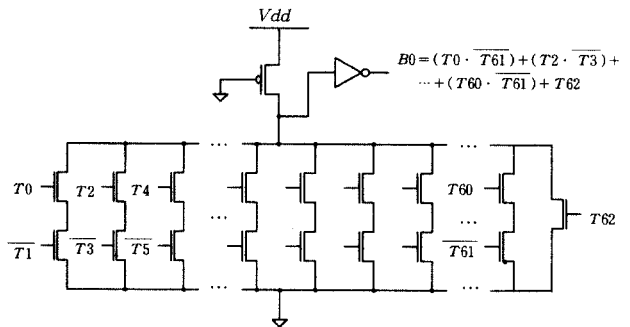
$$B3 = (T7 \cdot \overline{T15}) + (T23 \cdot \overline{T31}) + (T39 \cdot \overline{T47}) + T59 \quad (6)$$

$$B4 = (T15 \cdot \overline{T31}) + T47 \quad (7)$$

$$B5 = T31 \quad (8)$$

Autozero 방식에서는 autozero 기간 중의 빠른 reset이 필수적이다. 이를 위하여 본 디코더 구조에는 상보형 회로의 특징인 긴 pull-up 구조를 사용하지 않고 한 개의 PMOS 부하를 사용하는 Pseudo-NMOS 회로를 사용하였다. 디코더의 not 입력은 전차동 비교기에서 발생하는 out- 출력을 직접 사용하여 다음에 놓이는 인버터에 의한 지연시간을 제거하므로써 디코더에 두 입력이 도착하는 시간을 거의 정확히 맞추어 글리치 에러를 방지하였다.

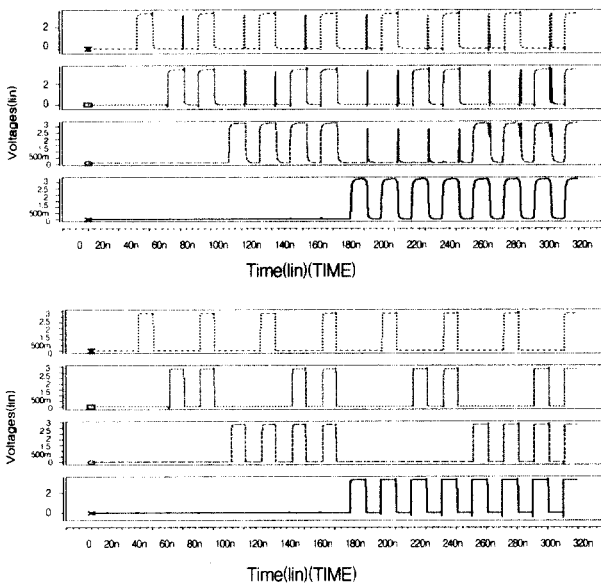
(그림 8)은 no glitch 고속 디코더의 LSB (B0) 발생회로의 스키매틱 구조이다. 이의 동작은 다음과 같다. 비교기의 출력이 모두 zero인 autozero 기간 동안은 pull-down의 드레인으로의 스위치가 모두 끊겨 Vdd로의 PMOS 스위치만



(그림 8) 제안된 no glitch 고속 디코더(6 bit) LSB bit의 논리

작동하여 디코더는 zero를 출력하며 매우 빠른 reset을 하게 되고, 변환기간 동안에는 비교기 출력을 받아 위에서의 디코딩 논리식에 맞게 pull-down 블록이 작동하여 디코더 출력을 발생시킨다.

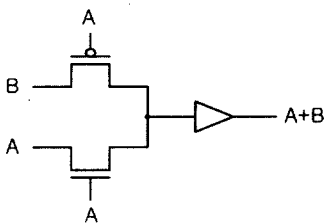
제안된 이 디코더는, XOR 게이트와 NAND, NOR 게이트를 사용한 기존의 디코더와 비교했을 때, 글리치 문제가 전혀 발생하지 않으며 트랜지스터 수효가 1/10 정도 수준으로 현저히 감소하였고 또한 최대 두 개의 트랜지스터의 채널 저항만을 통과하여 신호가 생성되므로 지연시간이 약 0.4 nS 정도로 속도가 매우 빠른 장점을 가진다. (그림 9)는 기존의 디코더와 제안된 디코더의 출력을 비교한 시뮬레이션 결과이다.



(그림 9) 기존의 디코더와 no glitch 고속 디코더의 시뮬레이션 결과

5. Merging 회로

(그림 2)에서 보였듯이, 두 개의 autozero sub-ADC들에 의해 서로 다른 시간대에서 생성된 각각의 변환된 코드들은 merging 회로를 거쳐 시간에 따라 연속적인 최종 코드로 바뀌어진다. 각각의 sub-ADC들의 비트 별 merging으로 최종 디지털 코드를 출력하는데, autozero구조에 알맞은 ORing으로 두 sub-ADC의 출력을 merging한다. Merging



A	B	A+B
0	0	0
0	1	1
1	0	1
1	1	1

(그림 10) CPL을 변형하여 구성한 Merging 회로와 이의 진리표

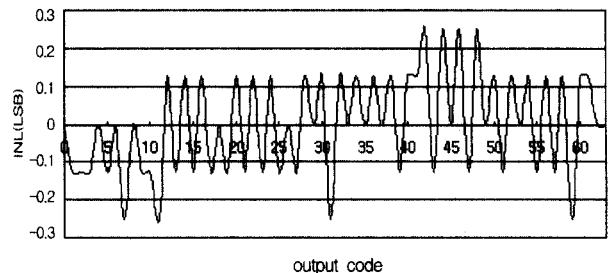
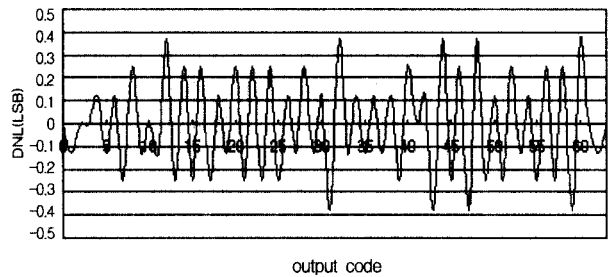
회로는 상보형 통과 트랜지스터 논리(Complementary Pass-transistor Logic, CPL [11])을 변형시킨 OR gate를 사용하여 (그림 10)과 같이 구현하였다. Merging 회로의 지연시간은 약 0.12ns이다.

6. 본 ADC의 성능 및 비교분석

광범위한 시뮬레이션을 통하여 본 ADC의 성능을 평가하였다. 모든 시뮬레이션은 HSPICE를 사용하였고 0.65μmW CMOS 모델변수를 사용하였다. 공급전압은 단일 3.3V이다. 본 ADC의 성능 특성은, 800 Msample/s 변환시 390 mW의 전력소비를 갖고, 입력 대역폭은 약 200 Mhz, 입력 범위는 0~1.2V로 나타났다. DNL과 INL은 0.5 LSB 보다 적으며 800 Msample/s 변환시, 각각 ±0.38 LSB와 ±0.25 LSB로 나타났다. (그림 11)에 제안된 ADC의 DNL과 INL의 특성을 보였다. 이는 ADC의 변환 속도가 증가함에 따라 약간 증가하는 경향을 보인다. INL과 DNL 측정시 800 Msample/s, Vref = 1 V(LSB = 16 mV)를 사용하였다. 제안된 하드 디스크 드라이브 읽기 채널용 고속 ADC의 성능은 <표 2>와 같다.

<표 2> ADC 특성

해상도	6-bit
최대 변환속도	800 Msample/s
DNL	±0.38 LSB
INL	±0.25 LSB
전력소비	390 mW
입력범위	0~1.2 V
입력대역폭	200 Mhz
공급전압	단일 3.3 V
공정	0.65 μmCMOS

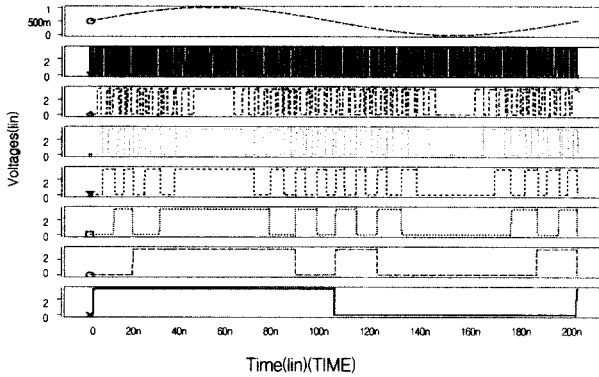


(그림 11) 제안된 ADC의 DNL과 INL 특성

〈표 3〉 다른 고속 ADC와의 성능 비교 분석표

	실험시 변환속도	DNL [LSB]	INL [LSB]	전력 소모	공정	공급 전압
Tsukamoto[6] (6b, 400Ms/s)	400Ms/s	±0.25	±0.2	190mW	0.35 μm CMOS	3.0v
Kwangho Yoon[7] (6b, 500Ms/s)	500Ms/s	±0.4	±0.5	330mW	0.6 μm CMOS	3.3v
Iuri Mehr[12] (6b, 500Ms/s)	300Ms/s	±0.38	±0.2	225mW	0.35 μm CMOS	3.0v
본 연구 (6b, 800Ms/s)	800Ms/s	±0.38	±0.25	390mW	0.65 μm CMOS	3.3v

〈표 3〉은 기존의 다른 HDD 읽기 채널용 ADC와의 비교 분석표이며 적절히 설계될 시 두 개의 sub-ADC를 사용하는 본 논문의 고속 DSDA 방식에서 전력소비는 그다지 큰 문제가 아님을 보여준다. (그림 12)는 5 Mhz 정현입력에 대한 제한된 변환기의 디지털 출력과형을 나타낸다. 800 Msample/s 변환시 latency는 약 한 클럭인 1.2 ns이다.



(그림 12) 제한된 ADC의 아날로그 입력에 대한 디지털 출력 코드

7. 결 론

본 논문에서 autozero 기법에 기반을 둔 Double Speed Dual ADC 방식을 사용하여 고속 HDD 읽기 채널용 ADC를 설계하였다. 이 방식에서는 두 개의 sub-ADC를 사용하여 2상 클럭으로 제어하므로 변환 속도를 배가 시킬 수 있고 따라서 400 Msample/s sub-ADC를 사용한 설계의 경우 800 Msample/s의 변환속도를 얻을 수 있었다. 또한 ADC의 구성요소로서 고해상도 autozero 비교기와 no glitch 고속 디코더, 그리고 효과적인 merging 회로를 통해서 보다 정밀한 고속 ADC를 설계할 수 있었다. 이 방식은 차후 개선된 공정에서 1 Gsample/s 이상의 변환속도를 얻을 수 있을 것으로 기대된다

참 고 문 헌

[1] Behzad Razavi, "Principles Data Conversion System Design," IEEE PRESS, 1995.

[2] Sanroku Tsukamoto, Ian Dedic, Toshiaki Endo, Kazuyoshi, Kikuta Goto, Osamu Kobayashi, "A CMOS 6-b 200 Msample/s, 3 V-Supply A/D Converter for a PRML Read Channel LSI, IEEE JSSS, Vol.31, No.11, pp.1831-1836, 1996.

[3] Mikael Gustavsson, J. Jacob Wikner, Nianxiang Nick Tan, "CMOS Data Converters for Communications," KLUWER ACADEMIC PUBLISHERS, 2000.

[4] R. Jacob Baker, Harry W. Li, David E. Boyce, "CMOS Circuit Design, Layout, and Simulation," IEEE PRESS, 1998.

[5] Paul R. Gray, Robert G. Meyer, "Analysis and design of analog integrated circuits," John Wiley & Sons, 1993.

[6] Sanroku Tsukamoto, William G. Schofield, Toshiaki Endo "A CMOS 6-b 400-Msample/s ADC with Error Correction," IEEE JSSS, Vol.33, No.12, pp.1939-1947, 1988.

[7] Kwangho Yoon, Sungkyung Park, Wonchan Kim, "A 6b 500Msample/s CMOS flash ADC with a background Interpolated Autozeroing Technique," ISSCC99, 1999.

[8] Declan Dalton, George (Joe) Spalding, Hooman Reyhani, Tim Murphy, Ken Deevy, Mairtin Walsh, Patrick Griffin, "A 200-MSPS 6-bit Flash ADC in 0.6 m CMOS," IEEE TRANS. CIRCUITS AND SYSTEMS, Vol.45, No.11, pp. 1433-1443 1998.

[9] David F. Hoeschele Jr., "Analog-to-Digital and Digital-to-Analog Conversion Technique," JOHN WILEY & SONS, 1994.

[10] Behzad Razavi, "A 12-b 5-Msaml/s Two-step CMOS A/D Converter," IEEE JSSC, Vol.27, No.12, pp.1667-1678, 1992.

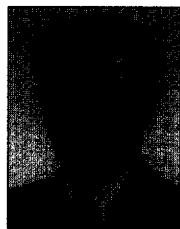
[11] A. Rjoub, O. Koufopavlou, "Low voltage swing gate for power consumption," ISCAS 99, Proceedings of the 1999 IEEE International Symposium on Circuit and Systems, 1999.

[12] Iuri Mehr, Declan Dalton, "A 500 Msample/s 6-bit Nyquist Rate ADC for Disk Drive Read Channel Applications," IEEE Proceedings, 2000.



정 대 영

e-mail : leo23dy@unitel.co.kr
 1999년 성균관대학교 전자공학과 공학사
 2001년 성균관대학교 전기전자및컴퓨터 공학과 공학석사
 현재 삼성전자 근무
 관심분야 : Analog 회로 설계, ADC/DAC, Mixed-mode 회로 설계



정 강 민

e-mail : kmchung@yurim.skku.ac.kr
 1971년 서울대학교 전기공학과 공학사
 1976년 미 Texas대 전기공학과 공학석사
 1979년 미 Texas대 전기공학과 공학박사
 1979~1983년 미 AT&T Bell 연구소 연구원
 1983~1985년 미 Sperry Computer Systems 연구고문
 1985년~현재 성균관대 전기전자컴퓨터공학부 정교수
 관심분야 : 반도체 VLSI 설계