

# 다단계 상호 연결망 기반의 다중 스위치 구조를 갖는 입력 버퍼형 이중 반얀 스위치

박 성 원<sup>†</sup> · 이 창 범<sup>††</sup>

## 요 약

ATM망에서 사용하기 위해 다양한 형태의 스위치 구조가 제안되어 왔으며, 다단계 상호 연결망은 오늘날 망연동시 널리 사용되는 ATM 교환시스템을 구성하는 주요한 요소이다. 이러한 상호 연결망에서 가장 잘 알려진 형태중의 하나가 반얀망이다. 반얀망은 라우팅 체계의 단순함과 하드웨어 복잡도가 단순하다는 점 때문에 많이 사용되어 왔으나, 처리 효율이 내부 블로킹과 출력에서의 혼잡도에 의해 크게 제한되는 단점이 있다. 본 논문에서는 스위치 내에서의 이러한 내부 블로킹 및 HOL 블로킹을 피하기 위해 다중 스위칭 패브릭 구조를 사용하는 입력 버퍼형 이중 반얀 스위치 모델을 제안한다. 성능 분석과 시뮬레이션을 통해서 제안한 본 모델이 기존 다른 반얀 스위치 구조에 비해 우수한 96%의 처리율과 낮은 셀 지연을 가지고 있음을 보여준다.

## An Input-Buffered Dual-Banyan Switch with Multiple Switching Fabrics Based on Multistage Interconnection Networks

Sung Won Park<sup>†</sup> · Chang Bum Lee<sup>††</sup>

### ABSTRACT

Many types of switching fabrics have been proposed for use in ATM networks. Multistage Interconnection Networks (MINs) constitute a large class of ATM switching systems that are widely used in today's internetworking. One of the most well-known types of multistage networks is the banyan network. The banyan network is attractive for its simple routing scheme and low hardware complexity, but its throughput is very limited due to internal blocking and output contention. In this paper, we propose an input-buffered dual-banyan switch model with multiple switching fabric between switch input and output to avoid internal and Head-of Line blocking. By performance analysis and simulation, we show that our model has a lower cell delay and 96% throughput which is much better than other banyan-type switch architecture.

키워드 : ATM, 반얀 스위치(Banyan Switch), 입력 버퍼형(Input-buffered), 스위치패브릭

### 1. 서 론

ATM(Asynchronous Transfor Mode) 망에서 입력 버퍼 스위치, 출력 버퍼 스위치, 입출력 버퍼 스위치, 크로스포인터 스위치 등의 다양한 모델이 제시되어 왔다. 이러한 스위치 구조 중 여러 스테이지에서 간단한 스위칭 요소(SE : Switching Element)들을 연결함으로써 구성되는 패킷 스위칭 다단계 상호 연결망 (MIN : Multistage Interconnection Network)은 병렬 컴퓨터 시스템과 고속의 통신 시스템을 위한 효과적인 상호연결 구조로서 인식된다. 이는 어떠한 입력으로부터 출력으로의 고속 통신에 중요한 자기 경로 선택(self-routing) 속성을 지닌다. 또한 새로운 통신 방법

인 ATM망의 스위치로 MIN 방식은 중요하게 인식되어 왔고, 현재 널리 사용되는 크로스바(cross-bar) 구조와 함께 차세대 교환구조로 기대되고 있다[1].

MIN 방식에서 가장 대표적인 구조중의 하나가 반얀망이다. 이러한 스위치 구조는 그 특성상 단일경로를 갖는 문제점으로 인하여 내부 블로킹의 가능성이 높고, 이로 인해 셀의 손실을 가져올 수 있다는 단점을 가진다. 특히, 입력 버퍼의 경우에 각 버퍼에 입력되는 첫 번째 셀만이 앞으로 진행함에 의해 HOL(Head-Of-Line) 블로킹 현상이 발생하게 된다. 이로 인해 균일 트래픽에서 입력 버퍼 스위치의 최대 처리량 58%을 넘지 못한다. 이러한 문제점을 해결하기 위해 지금까지 높은 처리량과 낮은 셀 손실을 및 지연을 위한 여러 많은 방법들이 제안되었다[2].

본 논문에서는 입력 버퍼형 교환기의 문제점들을 해결하기 위한 여러 방법들에 대해 연구 및 비교 분석하여 최대

\* 본 연구는 2001학년도 영산대 교내 연구비의 지원에 의해 이루어진 것입니다.

† 정 회 원 : 영산대학교 정보통신공학부 외래교수

†† 정 회 원 : 영산대학교 정보통신공학부 교수

논문접수 : 2003년 3월 18일, 심사완료 : 2003년 6월 16일

처리율을 향상시킬 수 있는 방안에 대해 연구한다. 특히, 셀 지연 및 셀 처리율을 높이고, 내부 블록킹에 대한 효율을 높이고자 한다. 입력 버퍼형 ATM 교환 시스템은 구현이 쉬운 반면, HOL 블록킹으로 인하여 성능이 크게 저하된다. 따라서 고속의 처리율을 얻기 위해서 스위칭 내부에 이중의 버퍼를 사용하는 이중 반안 스위치를 사용하였고, 2개의 패브릭을 사용하였다.

본 논문의 구성은 다음과 같다. 2장에서는 기존의 반안 구조와 이중 반안 구조에 대한 기본 사항을 기술하였으며, 3장에서는 본 논문에서 제안하는 스위치의 설계시 고려해야 될 두 가지 사항에 대해 기술하였고, 아울러 제안한 스위치 구조의 기본 동작 및 구조를 설명하였다. 4장에서는 이중 평면 반안 스위치의 시뮬레이션 결과값과 제안한 다중 스위치 구조를 갖는 입력 버퍼형 이중 반안 스위치의 처리율 결과를 비교·분석하였으며, 마지막으로 5장에서는 결론을 맺었다.

## 2. 기존 반안 및 이중 반안 스위치

### 2.1 기존 반안망 구성

여러 가지 스위치 구조들 중에서 입력 버퍼를 갖는 스위치 소자들로 구성되는 망의 경우, 블록킹에 따른 성능 저하를 방지하기 위한 방법으로는 버퍼링 기법[3], 정렬 네트워크[4], 다중 경로를 가지는 구조 및 내부속도를 증가하는 등의 기법[5]들이 있다.

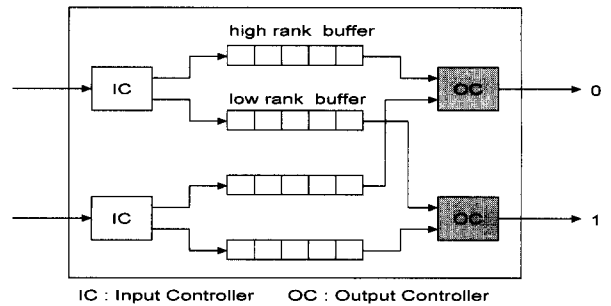
반안형 ATM 교환 시스템을 기본 구조로 하는 첫 번째 교환 시스템은 AT&T에서 1984년 Huang과 Knauer가 제안한 Starlite 교환기[6]이다. Starlite 교환기의 구조는 배치(Batcher) 반안망[7]의 블록킹 문제를 재순환에 의해 해결한 구조이다. 이 구조에서 정렬된 셀은 트랩에서 포트당 하나의 셀이 선택되어 반안망의 확장기로 전달된다. 경쟁에서 진 셀은 재순환되어 새로 입력된 셀과 함께 배치망을 통해 다음 셀 주기에 정렬된다. 셀의 순환으로 인하여 셀 순서가 위배되는 문제를 해결하기 위하여 순환된 셀은 순환되지 않은 셀보다 우선 순위를 높게 하고 이 우선 순위를 정렬에 이용한다. Starlite 교환기는 구조의 규칙성으로 인하여 VLSI의 구현이 용이한 장점을 갖는 것으로 알려져 있으며, 이후 이러한 구조에 바탕을 둔 ATM 교환기가 많이 개발되었다. 반안형 ATM 교환 시스템에 근거한 또 하나의 교환 시스템으로 1987년 Hui가 제안한 Moonshine 교환기가 있다[8, 9]. Moonshine 교환기는 출력 포트 경쟁의 해결을 위해 조정, 응답, 전송의 3단계 알고리즘을 사용한다. 기본적으로, Moonshine 교환기는 입력 버퍼형 교환 시스템으로서 HOL 블록킹으로 인한 성능 저하 문제를 갖고 있는데, 교환기의 내부 처리 속도 증가(speed-up)로 입력 버퍼형 교환기의 처리율 한계를 극복한다.

또한 반안형 ATM 교환기에서 출력 포트 충돌이 발생한 셀을 처리하기 위해 반안망을 직렬로 연결한 탠덤 반안망[10]이 있다. 탠덤 반안망의 특징은 각각의 반안망에서 출력된 셀은 패킷필터와 다중화기를 통해 출력 버퍼에 저장된다. 탠덤 반안망에서 특정한 출력 포트에 출력될 셀 수가 많을 경우에 한번에 하나의 셀이 반안망을 통해 라우팅되며 나머지 셀은 다음 반안망에 입력된다.

한편, Jonathan S. Turners는 최초로 고속 패킷 교환 개념을 주장하였고, 1986년 ATM 개념이 적용된 교환 시스템 구조를 제안하였다[11]. 터너 교환기의 특징은 출력 포트 경쟁 문제와 내부 블록킹 문제를 해결하기 위해 내부 버퍼링으로 해결하였다. 최근 터너는 복사망과 전달망을 하나의 교환망에서 수행하고 한번에 최대 2개의 셀로 복사(copy-by-two)하여 원하는 수만큼 셀을 여러 번에 걸쳐 복사하는 새로운 교환기의 구조를 제안하였다[12]. 이 구조는 기존의 트리 구조 멀티캐스팅 교환기에서 방송 및 그룹 변환 데이터의 크기와 교환망의 하드웨어 복잡도를 줄일 수 있다.

### 2.2 이중 반안망 구성

높은 처리량과 낮은 셀 손실을 및 셀 지연을 위해 지금까지 많은 방법들이 연구되어 왔다. 기존의 반안 스위치를 개선한 Koliass의 이중 반안 스위치[9]는 입력 버퍼에서 단일경로를 갖는 문제점으로 인한 내부 블록킹 및 HOL 블록킹의 개선을 위한 스위치이다. (그림 1)는 이중 반안 스위치의 스위칭 소자를 도시하고 있다.



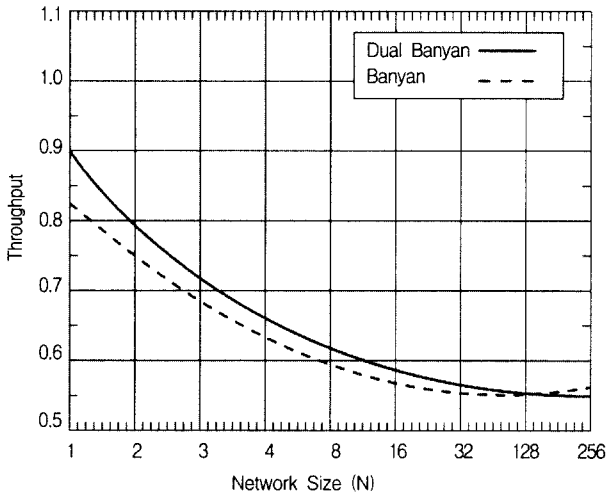
(그림 1) 2×2 이중 반안 스위칭 소자

여기서 사용된 이중 반안 스위치의 구성 및 특징은 다음과 같다.

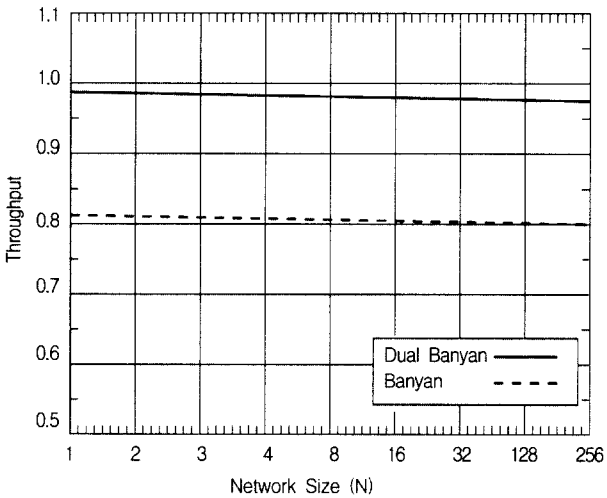
- 스위치의 구성은  $k = \log_2 N$  단으로 구성되며, 각 스위칭 소자는 2×2 멀티 입력 큐잉 크로스바 스위치이다.
- 스위칭 소자는 유일한 경로를 가진다.
- 스위칭 소자는 내부 블록킹 스위치이다.

이러한 이중 반안 스위치는 총 4개의 입력 큐를 가지고 있으며, 2×2 크로스바 스위치를 기본으로 하고, 이중 방식의 큐를 사용한다. 각 포트는 들어오는 셀들을 저장하며, 입력 제어기(Input Controller : IC)에서는 버퍼가 블록킹 또

는 링크나 스위치 소자에서 오류가 생겼을 경우 하위링크를 이용하여 하위 버퍼로 셀을 전송한다.



(그림 2) 기존 단일 반얀구조와 이중 반얀구조의 처리율 비교(buffer space=2)



(그림 3) 기존 단일 반얀구조와 이중 반얀구조의 처리율 비교(buffer space=64)

(그림 2)와 (그림 3)은 이중 반얀 스위치와 반얀 스위치를 처리율 면에서의 성능 분석을 나타낸 그림이다. 그림에서 알 수 있듯이 버퍼 공간이 증가함에 따라 처리율이 향상됨을 알 수 있다.

Kolias의 이중 반얀 스위치 구조에서 버퍼 공간의 크기에 변화를 주어(buffer space = 2, 4, 8, 64), 버퍼 공간이 증가함에 따른 처리율을 기존의 반얀망과 비교하였다. 버퍼 공간이 64일때의 처리율은 약 97%이며 전체적인 처리율 또한 기존의 반얀망에 비해 우수한 처리율을 보였다.

<표 1>은 이중 반얀 스위치와 반얀 스위치의 셀 지연에 대한 변화이다. 표에서 알 수 있듯이 두 스위치 구조의 셀 지연은 버퍼 크기가 커질수록 셀 지연이 증가함을 보여 준다.

<표 1> 기존 단일 반얀구조와 이중 반얀 구조의 셀 지연 비교

Network Size N×N	Buffer Space							
	b=2		b=4		b=8		b=64	
	Banyan	DB	Banyan	DB	Banyan	DB	Banyan	DB
8×8	1.86	0.44	4.62	1.28	10.04	2.90	84.34	25.64
16×16	2.26	0.62	5.16	1.48	10.62	3.10	85.14	24.66
64×64	2.38	0.68	5.26	1.54	10.72	3.16	85.32	24.46
256×256	2.50	0.74	5.42	1.60	10.92	3.22	85.80	24.72

DB : Dual-Banyan

### 3. 이중 반얀 구조

본 논문에서 제안한 교환 시스템 구조의 하드웨어의 설계 시 고려한 두 가지 주요 사항은 다음과 같다.

첫째, 교환기가 초당 포워딩 하는 패킷의 수를 치장하는 처리량을 최대화시킨다.

둘째, 크기 또는 확장성을 고려하여 입력 및 출력 단자수를 최대화시킨다.

본 논문에서 제안한 방식은 기존의 이중 반얀 스위치의 스위칭 소자를 사용하여 입력단과 출력단 사이에 스위칭 패브릭을 다중으로 두는 방식을 사용함으로써 입력 버퍼형 스위치의 단점을 보완함과 동시에 입력 큐 방식의 스위치의 고속 동작 특성을 그대로 유지할 수 있도록 설계하였다

#### 3.1 처리량

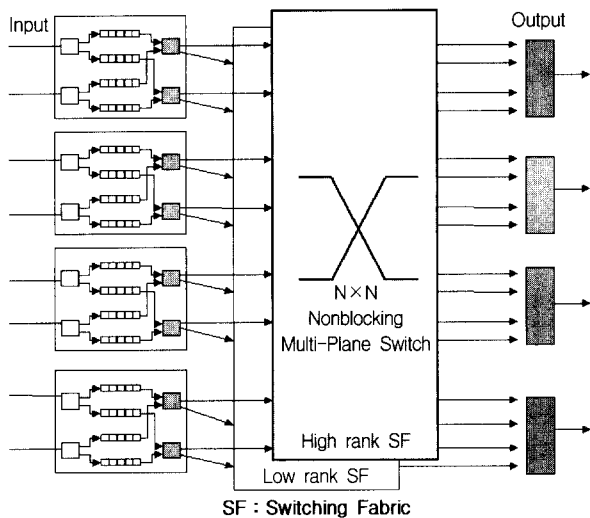
교환기의 처리량을 정의하는 것은 매우 어려운 일이다. 직관적으로 생각한다면, 교환기가 각 링크의 속도가  $s_n$ 인  $n$ 개의 입력을 갖고 있다면, 처리량은 모든  $s_n$ 의 합과 같다. 그러나 이것은 실제로는 그와 같은 구성을 갖는 교환기가 얻을 수 있는 최선의 처리량일 뿐이며, 거의 모든 실제 교환기는 도착하는 모든 트래픽이 같은 출력으로 보내져야 한다고 가정한다. 교환기가 수행해야 하는 작업 중 어떤 것은 패킷 당 일정한 부하가 걸리는 것이 있으며, 따라서 교환기는 도착하는 패킷들의 길이가 매우 짧은지, 매우 긴지, 또는 혼합되어 있는지에 따라 다른 성능을 보일 가능성이 높다[10, 11]. 이런 이유 때문에 가변길이 패킷을 포워딩하는 라우터나 교환기는 bps로 나타내는 처리량과 함께 초당 패킷 수(Packet Per Second : PPS)비율로 종종 특성을 나타낸다. PPS 비율은 대개 최소 길이 패킷으로 측정된다.

#### 3.2 확장성

교환기 설계시 반드시 고려해야 하는 또 다른 문제는 확장성이다. 교환기를 만드는 데 필요한 하드웨어의 양은 대개는 입력과 출력 수의 함수에 따라 좌우된다. 문제는  $n$ 이 증가함에 따라 하드웨어 비용이 얼마나 빨리 증가하는가이다. 예를 들어, 하드웨어 비용이  $n^2$ 에 비례해서 증가하는 교환기 설계는  $n^3$ 에 비례해서 증가하는 것에 비해 보다 좋

은 확장성을 갖는다고 간주된다. 더욱이 대부분의 교환기 설계는 입력과 출력 수에 어떤 상한선이 있다는 문제도 다루어야 한다. 예를 들어, 어떤 장치의 출력 수(fanout)가 초과되거나, 어떤 선이 너무 길면 최대 속도를 낼 수 없기 때문이다. 따라서 확장성은 비용의 증가 비율과 최대 가능 교환기 크기를 함께 고려하여 측정될 수 있다. ATM 교환기에서 확장성이 큰 문제가 되는 이유는 이 기술이 원래 현재의 전화 스위칭 기술을 대체할 기술로 고안되었기 때문이다. 전화 교환기는 수백만의 가입자를 갖고 있는 회사에 의해 구입되기 때문에 매우 많은 수(보통 수 만개)의 포트를 갖는다.

3.3 제안한 이중 반안 스위치 모델



(그림 4) 제안한 이중 반안 스위치 구조(8x8)

본 논문에서 제안한 다중 스위치 구조를 사용하는 입력 버퍼형 이중 반안 스위치는 이중 반안 스위치의 스위칭 소자를 사용하였다. 제안한 구조는 (그림 4)에서 보는 것과 같은 구조를 가지고 있다. 이 구조는 2 개의 스위칭 패브릭을 사용하여 셀 지연을 낮추면서 셀 처리율을 높이고, 내부 블록킹의 효율을 향상시킨다. 입력 버퍼형 ATM 교환 시스템은 구현이 쉬운 반면, HOL 블록킹으로 인하여 성능이 크게 저하된다. 따라서 고속의 처리율을 얻기 위해서 스위칭 내부에 이중의 버퍼를 사용하는 이중 반안 스위치를 사용하였고, 2개의 패브릭을 사용하였다[12]. (그림 4)에서 보는 것과 같이 이중 반안 스위치의 상위 버퍼를 통해 나온 셀들은 상위 버퍼용 스위칭 패브릭을 통해 출력되고, 하위 버퍼를 통해 출력된 셀들은 하위 버퍼용 스위칭 패브릭을 통해 순서대로 각각의 스위칭 패브릭을 통해 출력된다. 또한 각 단계별로는 PIM(Probabilistic Iterative Matching) 알고리즘 [13]을 사용하였다. 이 알고리즘을 선택한 이유는 스위치의 규모 N이 16이고 랜덤 균일 트래픽의 경우 4번의 과정 반

복으로 거의 출력 버퍼링 스위치의 수율에 이르는 98% 이상의 성능을 얻을 수 있기 때문이다.

3.3.1 스위치의 기본 동작

스위치의 기본 동작을 설명하면 다음과 같다.

- 제안하는 스위치는  $k = \log_2 N$ 의 구성을 가지고, 각 스위칭 소자는 2x2 다중 입력 큐잉 크로스바 스위치이다.
- 각 입력포트 및 출력포트는 유일한 경로를 가지고 동작한다.
- 입력 버퍼에 저장된 셀은 선입선출방식에 의해 한번에 하나의 셀이 처리되므로 이전에 도착한 셀이 처리될 때까지 그 입력 포트에 도착하는 셀은 대기하여야 한다.
- 스위칭 패브릭 내에서는 셀을 순차적으로 전송하며 내부 블록킹은 발생하지 않는다.

도착한 셀이 처리될 때까지 그 입력 포트에 도착하는 셀은 대기하여야 한다. 입력 버퍼링에 의한 교환시스템에서는 해당 출력 포트에 한번에 하나씩 처리하도록 하는 방식이 필요하다.

4. 성능 분석 및 시뮬레이션 결과

4.1 성능 분석

입력 버퍼형 교환 시스템의 성능을 분석하기 위해 입력 버퍼가 포화된 것으로 가정한다. 이 가정은 교환 시스템의 최대 처리율을 알아보기 위한 것으로 모든 N개의 입력 버퍼는 최소한 1개 이상의 셀이 대기하고 있는 상태임을 말한다. ATM 교환 시스템은 한 셀 주기에 하나의 입력 포트에 하나의 셀이 도착하는데, 155Mbit/s로 연속하여 셀이 도착할 경우에 셀 주기, 또는 타임 슬롯은 약  $2.8 \mu s (\approx (53 \text{byte} / \text{cell} \times 8 \text{bit} / \text{byte}) / 150 \text{Mbit} / \text{s})$ 이다. B-ISDN의 물리 매체 전송 속도는 155.520Mbit/s이지만, 실제로 전송 시스템의 오버헤드로 인하여 셀 전송 속도는 149.76Mbit/s이다.

$B_m^i$ 를 타임 슬롯 m에 N개의 입력 버퍼의 첫 번째 위치에 있는 출력 주소 i를 갖는 셀 수로 정의한다. 그리고 타임 슬롯 m에 N개의 입력 버퍼의 첫 번째 위치로 이동되는 출력 주소 i의 셀 수를  $A_m^i$ 라고 정의한다.

같은 출력 포트 주소를 가진 셀은 한 타임 슬롯에 하나씩 처리되므로 타임 슬롯 m 시점에 입력 버퍼의 첫 번째 위치에서 출력 포트 주소 i를 가진 셀 수  $B_m^i$ 는

$$B_m^i = \max(0, B_{m-1}^i + A_{m-1}^i) \tag{1}$$

이다. 즉, 이전 타임 슬롯 m-1에 버퍼의 첫 번째 위치에 있는 셀 수 ( $B_{m-1}^i$ )에 다음 타임 슬롯 m에 첫 번째 위치로 이동한 셀 수 ( $A_m^i$ )를 더한 것이 타임 슬롯 m에 하나의

출력 포트  $i$ 를 경쟁하는 셀 수에 해당한다. 한 타임 슬롯에 하나의 셀이 처리되므로 출력 포트  $i$ 를 경쟁하는 셀이 없을 경우에  $B_m^i$ 값은 0이다. 셀이 있을 경우의  $B_m^i$ 값은 이전 타임 슬롯  $m-1$ 에 경쟁하던 출력 포트  $i$ 인 셀 수  $B_{m-1}^i$ 에 새로이 첫 번째 위치로 이동한 출력 포트  $i$ 인 셀 수  $A_m^i$ 의 합에서 입력 버퍼에서 제거된 셀 수가 된다. 즉 출력 포트의 경쟁에서 이긴 셀 수 1을 뺀 값이다.

$F_{m-1}$ 을  $m-1$ 번째 타임 슬롯에 모든 입력 버퍼에서 나가는 셀 수의 합으로 정의하자. 타임 슬롯  $m$ 에 새로 입력 버퍼의 첫 번째 위치로 이동되는 셀 수가  $k$ 일 확률을 (단,  $k=0, 1, \dots, F_{m-1}$ )라 할 때,

$$\Pr[A_m^i = k] = \binom{F_{m-1}}{k} \left(\frac{1}{N}\right)^k \left(1 - \frac{1}{N}\right)^{F_{m-1}-k} \quad (2)$$

이다. 여기서, 모든 셀이 출력 포트  $i$ 를 가질 확률은 동일하다고 가정하였다.  $F_{m-1}$ 은  $N$ 개의 셀 중 이전 타임 슬롯  $m-1$ 에 출력 포트 경쟁에서 이겨 스위치를 통해 전달된 셀 수의 합과의 차로

$$F_{m-1} \equiv N - \sum_{i=1}^N B_{m-1}^i \quad (3)$$

이다. 모든 입력 버퍼에 셀이 존재하는 경우에 그 값은  $m$ 번째 타임 슬롯에 새로이 입력 버퍼의 첫 번째 위치로 이동하게 되는 셀 수의 합과 같으므로

$$F_{m-1} = A \sum_{i=1}^N i_m \quad (4)$$

이다. 예를 들어  $N=4$ 이고, 입력 버퍼의 첫 번째 위치에 있는 셀의 출력 포트 주소가 각각 0, 2, 0, 1이라 하자. 4개의 셀 중에서 출력 포트 주소가 0, 2, 1인 셀은 출력 포트 주소가 서로 다르므로 스위치를 통해 전달되고 입력 버퍼에서 새로운 3개의 셀이 첫 번째 위치에 오게 된다. 그러므로 이 시점에 4개의 셀 중에서 이전 타임 슬롯의 셀 수는 1이므로 3개의 셀이 입력 버퍼에서 나간 셀이 되고, 그 수는 새로 버퍼의 첫 번째에 위치하게 된 셀 수와 같다. 입력 버퍼형 교환 시스템에서 입출력 포트 수가 커짐에 따라 입력 셀의 분포는 한 타임 슬롯에 무작위 버스트 입력 특성을 갖는 마코프 분포를 가진다. 출력 셀은 모든 출력 포트 주소가 서로 달라야 하므로 앞에서 설명한 형태의 분포 특성을 갖는다. 그러므로 입력 버퍼형 교환 시스템을  $M/D/1$  큐로 모델링할 수 있다. 입력 버퍼의 첫 번째 위치에 특정 출력 포트 주소  $i$ 인 셀 수는  $M/D/1$ 에 따른 평균 큐의 크기와 같다. 따라서 그 값은 Pollaczek-Khinchin(P-K) 평균

값 수식에 의해

$$\bar{B}^i = \frac{\rho^2}{2(1-\rho)} \quad (5)$$

이다.  $\bar{F}$ 를 교환 시스템의 평균 출력 셀 수라 할 때, 출력 링크의 이용률  $\rho$ 는  $\bar{F}/N$ 이다. 식 (3)에서  $N \rightarrow \infty$  일때,

$$\bar{B}^i = 1 - \rho \quad (6)$$

가 성립한다.

$$\frac{1}{N} \sum_{i=1}^N NB_{m-1}^i = 1 - \frac{F_{m-1}}{N} \quad (7)$$

<표 2> 입력 버퍼형 교환 시스템의 최대 처리율

N	최대 처리율
1	1.0000
2	0.7500
3	0.6825
5	0.6553
6	0.6399
7	0.6302
8	0.6243
9	0.6184
.	.
.	.
∞	0.5858

$$\bar{B}^i = 1 - \frac{\bar{F}_{m-1}}{N} = 1 - \rho \quad (8)$$

위의 식 (5), 식 (6)에서  $\rho = (2 - \sqrt{2}) = 0.586$ 으로 포화 상태의 최대 처리율이 58.6%임을 알 수 있다[14].

<표 2>는 입출력 포트 수(N)에 따른 최대 처리율을 나타내고 있다. 표에서 알 수 있듯이 입출력 포트 수가 커질수록 그 처리율의 최대값을 넘지 못하는 입력 버퍼형 교환 구조의 문제점을 나타내고 있다.

본 논문에서는 제안한 교환 구조의 처리율 결과를 기존의 내부 버퍼형의 이중 반안 스위치의 컴퓨터 시뮬레이션 결과 값과 비교 분석하였다. 제안된 모델의 정확성을 검증하기 위하여 네트워크 처리율과 입출력 포트수에 따라 소용량 및 대용량 스위치에서의 시뮬레이션 결과와의 비교를 통해서 정확성을 나타내고자 한다.

## 4.2 시뮬레이션

### 4.2.1 시뮬레이션 조건

성능 평가를 위해서 다음의 조건하에 평가하였다.

- PIM 알고리즘에 기반을 두어 기본적으로 5번 반복함으로써 성능 분석을 하였다.
- 스위칭 패브릭은 여러 층으로 구성되어 있으나, 본 논

문에서는 처리율의 정확성을 기하기 위해서 2개의 스위칭 패브릭을 사용하여 스위칭 모델을 구성하였다.

- 입력되는 셀은 버퍼에 저장되지 않고, 내부버퍼를 통해 출력된다.
- 상위 버퍼를 통해 나온 셀은 출력제어기에 의해 상위 또는 하위 스위칭 패브릭으로 전송되도록 한다.
- 모든 버퍼는 FIFO로 동작한다.

4.2.2 시뮬레이션 변수

성능 분석을 위하여 아래와 같은 변수를 주었다.

- 트래픽 소스 타입 : Bernoulli process
- 시뮬레이션 횟수 : 5회
- 입출력 포트수(N) : 8, 16, 32, 64, 128, 256
- offered Load ( $0 \leq \text{load} \leq 1$ )

성능분석을 위하여 입력 버퍼형 교환기의 최대 처리율 성능을 위한 식 (8)을 참고하였다.

스위치의 입력 포트에서의 셀 도착은 베르누이 분포를 따르고, 입력 포트에 들어오는 모든 셀을 ATM 고정 셀로 가정하였다. 본 논문은 입출력 단에 버퍼에 갖고 있는  $8 \times 8$ ,  $16 \times 16$ ,  $32 \times 32$  입출력을 가지는 소용량 스위치와,  $64 \times 64$ ,  $128 \times 128$ ,  $256 \times 256$ 의 대용량 스위치를 대상으로 성능을 측정하였다. 또한 본 실험에서는 베르누이 분포에서 성공 확률 ( $p=1$ )일때 발생하는 셀이 모두 동일한 목적지를 가진다고 가정하였다.

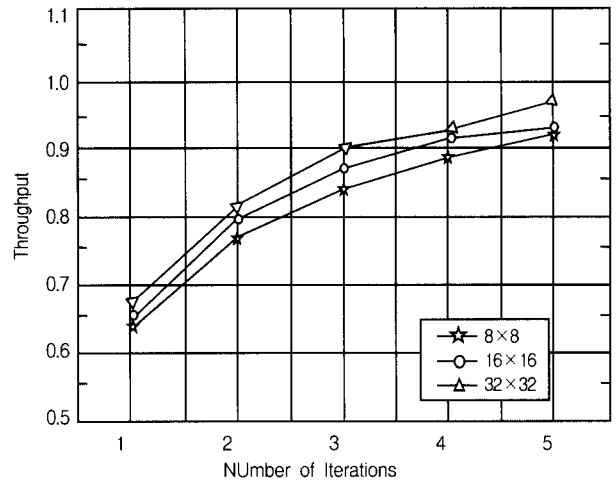
4.2.3 시험 결과 및 검토

MIN 기반 하에서의 제안한 스위칭 구조는 이중 반양방의 스위칭 소자를 사용한 교환 구조이다. 제안된 교환기의 성능 분석 결과 입출력 포트수의 크기에 따른 처리율 또한 포트수의 크기가 커질수록 처리율 또한 선형적인 증가를 보였다. 또한 그 처리율 값이 98.9%됨을 알 수 있었다. 다시 말하면 이중 반양 스위칭 구조는 버퍼 공간을 조정하면서 처리율을 향상시킨데 반해 제안된 구조는 PIM 알고리즘에 기반을 둔 반복수행을 함으로써 네트워크 크기에 따른 처리율 향상을 기하였다.

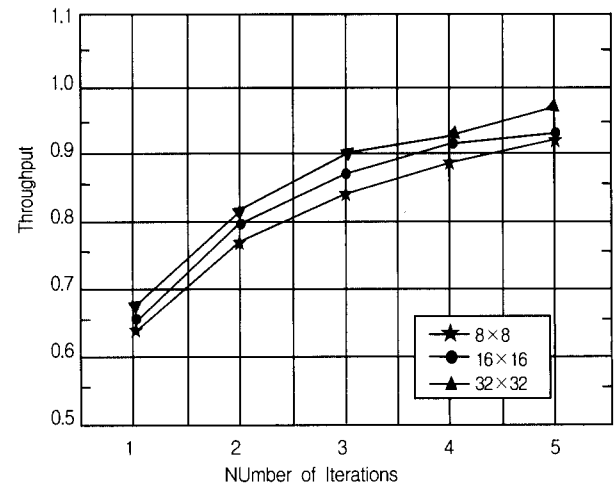
현재까지 향상된 처리량과 낮은 셀 손실률 및 지연을 위해서 많은 방법과 연구가 진행되어 왔다. 앞에서 언급한 두가지의 스위치 구조 또한 입력 버퍼형 스위치의 문제점을 해결하고자 제안된 스위치이다. 이러한 결과는 다른 크기의 MIN에서도 유사하게 나타난다.

(그림 5)와 (그림 6)은 소용량 및 대용량 스위치에서의 입출력 포트수에 따른 처리율 결과 값을 나타낸 것이다.

시뮬레이션 결과는 동일한 가정 하에서 입출력 포트 수 (N)를 달리하여, 나타난 결과 값을 그래프로 나타낸 것이다. 소용량 스위치에서의 처리율 결과 값은 반복수가 4-5회 구간에서는 향상된 결과값을 나타내지는 않는다.



(그림 5) 소용량 스위치에서의 처리율 비교



(그림 6) 대용량 스위치에서의 처리율 비교

(그림 6)에서 보는 바와 같이 대용량 스위치에서의 처리율은 3~5회 반복 구간에서는 처리율 값이 확실하게 향상되었고 선형적인 증가를 보이고 있다. 다음 <표 3>은 시뮬레이션 결과 값을 표로 나타낸 것이다.

<표 3> 입출력 포트수에 따른 셀 처리율

반복횟수 (Iteration)	네트워크 크기(Network Size) (N × N)					
	8×8	16×16	32×32	64×64	128×128	256×256
1	0.6770	0.6579	0.6439	0.6564	0.6628	0.6928
2	0.8194	0.7994	0.7735	0.7620	0.7999	0.8059
3	0.8992	0.8692	0.8423	0.8286	0.8555	0.9000
4	0.9255	0.9166	0.8890	0.8738	0.9025	0.9546
5	0.9692	0.9302	0.9220	0.9058	0.9558	0.9885

시뮬레이션을 통하여 본 논문에서 제안된 교환구조의 처리율 또한 입출력 포트수에 따른 처리율을 비교한 결과 모두 선형적인 증가를 보였으며, 대용량 스위치에서의 입출력

포트수가 증가함에 따라 처리율 값이 약 98%로 측정되었다. 결과적으로 기존의 이중 반안 스위칭 소자를 사용한 제안된 구조의 성능이 향상됨을 알 수 있었다.

마지막으로 셀 지연에 대한 변화이다. 셀 지연은 입력포트로 들어온 셀이 출력포트로 출력될 때까지 각 셀들이 버퍼에 대기한 평균 대기시간이 된다. 본 논문에서는 입출력 포트수에 따른 셀 지연에 대한 값을 <표 4>에 나타내었다.

<표 4> 입출력 포트수에 따른 셀 지연

반복횟수 (Iteration)	네트워크 크기(Network Size) (N×N)					
	8×8	16×16	32×32	64×64	128×128	256×256
1	0.0005	0.0010	0.0020	0.0041	0.0081	0.0162
2	0.2260	0.2302	0.2327	0.2353	0.2392	0.2463
3	0.2925	0.2998	0.3039	0.3072	0.3116	0.3192
4	0.3203	0.3298	0.3349	0.3388	0.3436	0.3516
5	0.3329	0.3438	0.3496	0.3540	0.3590	0.3673
평균	0.23	0.24	0.24	0.25	0.25	0.26

<표 4>는 입출력 포트수에 따른 셀 지연의 값을 5번 반복 수행한 결과 값과 그에 따른 평균값을 나타내고 있다. <표 4>에서 알 수 있듯이 셀 지연은 입출력 포트 수에 따라 뚜렷한 차이를 보이지 않고 거의 유사한 변화를 보이고 있음을 알 수 있다.

다음 <표 5>는 본 논문에서 제안한 구조의 망 크기에 따른 셀 처리율 및 셀 지연의 값을 기존 이중 반안망의 값과 비교한 것이다. 표 결과에서 보여지듯이 기존 이중 반안의 처리율은 버퍼 공간을 다르게 제공한 상태에서 입출력 수에 따른 처리율이 거의 비슷한 결과값을 나타냈으나, 제안된 구조는 버퍼 공간과는 큰 상관 관계없이 처리율과 셀지연 측면에서 성능 향상을 기할 수 있음을 보여 주고 있다.

<표 5> 이중 반안과 제안한 구조와의 처리율 및 셀지연

Network Size (N×N)	처 리 율		셀 지 연	
	이중 반안	제안한 구조	이중 반안	제안한 구조
8×8	0.86	0.97	0.44	0.23
32×32	0.89	0.92	0.62	0.24
256×256	0.92	0.99	0.68	0.26
평균	0.89	0.96	0.58	0.24

### 5. 결 론

지금까지 ATM 교환 시스템의 버퍼링 방식에 따른 입력 버퍼형 스위치 구조를 기반으로 한 이중 반안 스위치에 대해 기술하였다. 여기에 적용된 반안 형태의 MIN은 그들이 갖는 병렬처리 능력으로 인해 최근, ATM 네트워크에서 고속 셀 교환을 위한 스위치로 사용되면서 현재까지 많은 연구가 진행되고 있다. 전술한 입력 버퍼형 ATM 교환 방식

은 최대 처리율의 58%로 제한된다는 큰 문제점을 가지고 있으며, 입력 버퍼형 스위치 구조는 특성상 단일 경로를 갖는 문제점으로 인하여 블로킹 가능성이 높고, 이로 인해 셀 처리율의 손실을 가져 올 수 있다.

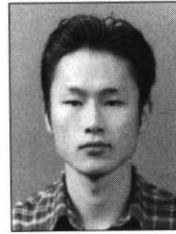
본 본문에서는 MIN 기반 하에서의 반안 네트워크를 대상으로 이러한 HOL 블로킹 및 내부 블로킹의 문제점을 개선하고자 다중 스위치 구조를 갖는 이중 입력 버퍼 방식의 이중 반안 스위치 구조를 제안하였다. 아울러 기존의 모델 중 가장 정확한 값을 갖는 이중 반안 스위치와 제안한 이중 반안 스위치의 성능을 비교 분석하였다. 제안한 스위치 모델을 채택함으로써 버퍼수를 축소시키는 장점과 성능면에서 처리율 향상을 통하여 입력 버퍼형 스위치 방식의 문제점을 해결하였다. 향후 연구 과제로는 출력 버퍼링 및 공유 버퍼링 방식에 따른 ATM 교환 시스템의 성능 평가와 오류 허용에 대해 연구할 예정이다.

### 참 고 문 헌

- [1] Karol, M. J., Hluchyj, M. G., Morgan, S. P., "Input vs. Output Queueing on a Space Division Packet Switch," IEEE Trans. on Comm., Vol.35, pp.1347-1356, December, 1987.
- [2] M. J. Karol, K. Y. Eng, H. Obara, "Improving the Performance of Input-queued ATM Packet Switches," in Proc. IEEE INFOCOM '92, pp.110-115, March, 1992.
- [3] H. Ahmadi and W. E. Denzel, "A Survey of Modern High-Performance Switching Techniques," IEEE Journal on Selected Areas in Communications, Vol.7, pp.1091-1103, 1989.
- [4] R. Kannan, K. Y. Lee and H. F. Jordan, "A High-speed Hardware Efficient Optical Sorting Network," in Proc. Asia-Pacific Conference on Communications, pp.873-877, 1995.
- [5] R. Y. Awdeh and H. T. Mouftah, "Survey of ATM Switch Architecture," Computer Networks and ISDN Systems. 27, pp.1567-1613, 1995.
- [6] A. Huang and S. Knauer, "Starlite : A Wideband Digital Switch," in Proc. IEEE GLOBECOM '84, pp.121-125, November, 1984.
- [7] K. E. Batcher, "Sorting Networks and Their Application," in Proc. AFIPS Spring Joint Comp. Conf., pp.307-314, 1968.
- [8] J. Y. Hui and E. Arthurs, "A Broadband Packet Switch for Integrated Transport," IEEE Journal of Selected Areas Communications, Vol.5, No.8, pp.264-273, October, 1987.
- [9] J. Y. Hui and T. H. Lee, "A Large-scale ATM Switching Network with Sort-banyan Switch Modules," GLOBECOM '92 Conference Record, Orlando, pp.133-137, December, 1992.
- [10] T. Kwok and F. Tobagi, "Tandem-banyan Switching Fabric," in IEEE Proc. INFOCOM '90, Vol.2, pp.677-685, 1990.
- [11] J. S. Turner, "Design of a Broadcast Packet Network," in

Proc. IEEE INFOCOM '86, pp.667-675, 1986.

- [12] J. S. Turner, "Design of a Broadcast Packet Switching Network," IEEE Trans. on Communications, Vol.36, No.6, pp.734-743, 1988.
- [13] Christos Koliass and Leonardo Kleinrock, "The Dual-Banyan(DB) Switch : A High Performance Buffer-Banyan ATM switch," in IEEE Proc. ICC '97, pp.770-776, 1997.
- [14] P. C. Wong and M. S. Yeung, "Design and Analysis of a Novel Fast Banyan Switch - Pipeline Banyan," IEEE/ACM Trans. on Networking, Vol.3, No.1, pp.63-69. February, 1995.
- [15] Rajendra V. Boppana and C. S. Raghavendra, "Designing Efficient Benes and Banyan Based Input-buffered ATM Switches," in IEEE Proc. ICC '99, pp.1826-1830, June, 1999.
- [16] 김학용, 김기선 "다중 입력 큐 방식의 고속 패킷 스위치의 구조 및 성능 분석," Telecommunications Review, 제11권 제6호, 2001.
- [17] T. E. Anderson, S. S. Owicki, J. B. Saxe and C. P. Thacker, "High-speed Switch Scheduling for Local-area Networks," ACM Trans. Comput. Syst., Vol.11, pp. 319-352, November, 1993.



**박성원**

e-mail : comswpark@yahoo.co.kr

2001년 영산대학교 컴퓨터정보공학부(공학사)

2003년 영산대학교 컴퓨터정보통신대학원

(공학석사)

2003년~현재 영산대학교 정보통신공학부

외래 교수

관심분야 : 초고속통신망, Traffic Modeling



**이창범**

e-mail : cblee@ysu.ac.kr

1979년 서강대학교 전자공학과(공학사)

1990년 서강대학교 대학원 전자공학과

(공학석사)

1996년 서강대학교 대학원 전자공학과

(공학박사)

1983년~1998년 한국전자통신연구원 책임연구원

1998년~2002년 영산대학교 컴퓨터정보공학부 조교수

2002년~현재 영산대학교 정보통신공학부 조교수

관심분야 : 초고속통신망, Traffic Modeling, 정보보안